

2631 0130
94220
PATENTS
RS

2
1-22-03

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Satoshi Nakamura

Serial No: 10/043,729

Filed: January 11, 2002

For: OVERSAMPLING CLOCK
RECOVERY HAVING A HIGH
FOLLOW-UP CHARACTER USING
A FEW CLOCK SIGNALS

Examiner: Unassigned

Art Unit: Unassigned

Docket: 15209

Dated: February 15, 2002

Assistant Commissioner for Patents
United States Patent and Trademark Office
Washington, D.C. 20231

RECEIVED

APR 02 2002


Technology Center 2600

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, will submit in due course a certified copy of Japanese Patent Application No. 3667/2001, dated January 11, 2001.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No.: 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner of Patents and Trademarks, Washington, D.C. 20231 on February 15, 2002.

Dated: February 15, 2002


Michelle Mustafa

日本国特許庁
JAPAN PATENT OFFICE



US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 1月11日

出願番号
Application Number:

特願2001-003667

出願人
Applicant(s):

日本電気株式会社

RECEIVED

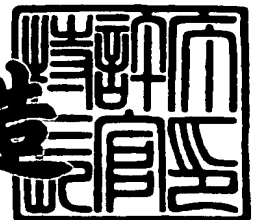
APR 02 2002

Technology Center 2600

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3092790

特 2001-003667

RECEIVED

APR 02 2002

Technology Center 2600



【書類名】 特許願

【整理番号】 74210633

【提出日】 平成13年 1月11日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04L 7/02
H03K 19/23
H03L 7/06

【発明の名称】 オーバーサンプリングクロックリカバリ方法及び回路

【請求項の数】 14

【発明者】

【住所又は居所】 東京都港区芝5丁目7番1号
日本電気株式会社内

【氏名】 中村 聡

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100095740

【弁理士】

【氏名又は名称】 開口 宗昭

【手数料の表示】

【予納台帳番号】 025782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9606620

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 オーバーサンプリングクロックリカバリ方法及び回路

【特許請求の範囲】

【請求項 1】 入力データの 1 ビットに対して 3 相以上の間隔が不均等な多相クロックを生成し、そのうち比較的狭い間隔を有する 2 相のクロックのエッジ間のいずれかの位相が前記入力データの変化点の位相に同期するように前記不均等な多相クロックの位相を制御するオーバーサンプリングクロックリカバリ方法において、遅延ロックループ及び選択回路を用いて 2 組以上の均等な多相クロックの位相を前記遅延ロックループを構成する 1 の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記 2 組以上の均等な多相クロックを併せて前記不均等な多相クロックとして用いることを特徴とするオーバーサンプリングクロックリカバリ方法。

【請求項 2】 入力データの 1 ビットに対して 3 相以上のクロックからなり、配列に粗密を有し、その粗密の周期が前記入力データの 1 ビット長に等しい粗密多相クロックを生成し、
密な部分のクロックエッジ間のいずれかの位相が前記入力データの変化点の位相に同期するように前記粗密多相クロックの位相を制御するオーバーサンプリングクロックリカバリ方法において、遅延ロックループ及び選択回路を用いて 2 組以上の均等な多相クロックの位相を前記遅延ロックループを構成する 1 の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記 2 組以上の均等な多相クロックを併せて前記粗密多相クロックとして用いることを特徴とするオーバーサンプリングクロックリカバリ方法。

【請求項 3】 前記クロックを前記入力データの 1 ビットに対して 3 相とすることを特徴とする請求項 1 又は請求項 2 に記載のオーバーサンプリングクロックリカバリ方法。

【請求項 4】 入力データの 1 ビットに対して 4 相以上の間隔が不均等な多相クロックを生成し、そのうち比較的狭い間隔を有する 1 組のクロックのエッジ間のいずれかの位相が前記入力データの変化点の位相に同期するように前記不均等な多相クロックの位相を制御するとともに、前記 1 組のクロックから比較的広い相間隔を介してほぼ 2 分の 1 ビット長離れた他の 1 組の比較的狭い間隔を有するクロックのエッジ間のいずれかの位相が前記入力データの変化点の位相に同期することを回避するように前記不均等な多相クロックの位相を制御することを特徴とするオーバーサンプリングクロックリカバリ方法。

【請求項 5】 入力データの 1 ビットに対して 4 相以上のクロックからなり、配列に粗密を有し、その粗密の周期が前記入力データの 1 ビット長の 2 分の 1 に等しい粗密多相クロックを生成し、
密な部分のクロックエッジ間のいずれかの位相が前記入力データの変化点の位相に同期するように前記粗密多相クロックの位相を制御するとともに、前記密な部分に粗な部分を介して隣接する他の密な部分のクロックエッジ間のいずれかの位相が前記入力データの変化点の位相に同期することを回避するように前記粗密多相クロックの位相を制御することを特徴とするオーバーサンプリングクロックリカバリ方法。

【請求項 6】 遅延ロックループ及び選択回路を用いて 2 組以上の均等な多相クロックの位相を前記遅延ロックループを構成する 1 の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記 2 組以上の均等な多相クロックを併せて前記不均等な多相クロックとして用いることを特徴とする請求項 4 に記載のオーバーサンプリングクロックリカバリ方法。

【請求項 7】 遅延ロックループ及び選択回路を用いて 2 組以上の均等な多相クロックの位相を前記遅延ロックループを構成する 1 の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記 2 組以上の均等な多相クロックを併

せて前記粗密多相クロックとして用いることを特徴とする請求項5に記載のオーバーサンプリングクロックリカバリ方法。

【請求項8】 前記クロックを前記入力データの1ビットに対して4相とすることを特徴とする請求項4から請求項7のうちいずれか一に記載のオーバーサンプリングクロックリカバリ方法。

【請求項9】 位相が固定され均等な相間隔を有する第一の多相クロックと、前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第二の多相クロックとを用い、

前記第一の多相クロックを構成する一のクロックと、前記第二の多相クロックを構成する一のクロックとを位相同期させ、その位相同期させるクロックの組み合わせを切り換えることにより、前記第二の多相クロックの位相をシフトするデジタル位相制御方法を用いて、

多相クロックの位相を制御することを特徴とする請求項1から請求項8のうちいずれか一に記載のオーバーサンプリングクロックリカバリ方法。

【請求項10】 位相が固定され均等な相間隔を有する第一の多相クロックと、前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第二の多相クロック及び第三の多相クロックとを用い、

前記第一の多相クロックを構成する一のクロックと、前記第二の多相クロックを構成する一のクロック信号、

前記第一の多相クロックを構成する一のクロックと、前記第三の多相クロックを構成する一のクロック信号、

とをそれぞれ位相同期させ、

その位相同期させるクロックの組み合わせを切り換えることにより、前記第二の多相クロックと前記第三の多相クロックとの位相差を保持しつつ、前記入力データのサンプリングに用いる第二及び第三の多相クロックの位相を制御することを特徴とする請求項1から請求項8のうちいずれか一に記載のオーバーサンプリングクロックリカバリ方法。

【請求項11】 前記第二及び第三の多相クロックの位相を制御する分解能と、前記第二の多相クロックと前記第三の多相クロックとの位相差とを等しくす

ることを特徴とする請求項 1 0 に記載のオーバーサンプリングクロックリカバリ方法。

【請求項 1 2】 m 段の遅延バッファが構成された第一の遅延ロックループと、
 n 段 ($n \neq m$) の遅延バッファが構成された第二の遅延ロックループと、
前記 m 段の遅延バッファから一の遅延バッファを選択してクロックを取り出す第一の選択回路と、
前記第二の遅延ロックループの n 段の遅延バッファから一の遅延バッファを選択してその遅延バッファに前記第一の選択回路が取り出したクロックを入力する第二の選択回路と、
 n 段の遅延バッファが構成された第三の遅延ロックループと、
前記 m 段の遅延バッファから一の遅延バッファを選択してクロックを取り出す第三の選択回路と、
前記第三の遅延ロックループの n 段の遅延バッファから一の遅延バッファを選択してその遅延バッファに前記第三の選択回路が取り出したクロックを入力する第四の選択回路と、
前記第二の遅延ロックループから出力されるクロック及び前記第三の遅延ロックループから出力されるクロックの双方により入力データをサンプリングして、前記入力データに対するクロックの遅れ・進みを検出する位相比較部と、
前記位相比較部の検出結果に基づき前記第一、第二、第三、及び第四の選択回路を制御する制御回路とを備えることを特徴とするオーバーサンプリングクロックリカバリ回路。

【請求項 1 3】 位相制御の分解能が前記遅延バッファの伝搬遅延時間より小さく設定され、前記制御回路は、前記第一及び第二の選択回路と、前記第三及び第四の選択回路とで 1 分解能異なる位相制御を行うことを特徴とする請求項 1 2 に記載のオーバーサンプリングクロックリカバリ回路。

【請求項 1 4】 前記第二及び第三の遅延ロックループは、環状に接続された n 段の遅延バッファをそれぞれ有し、
前記第二の遅延ロックループにあっては前記第二の選択回路により、前記第三の

遅延ロックループにあっては第四の選択回路により入力された遅延バッファを初段をする n 段の遅延線の入出力信号の位相を比較するように切り換わることを特徴とする請求項 1 2 又は請求項 1 3 に記載のオーバーサンプリングクロックリカバリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、オーバーサンプリングクロックリカバリに関するものである。

【0002】

【従来の技術】

近年、データ伝送は高速なプロトコルが提案されており、そのために高速な伝送において送られてきたデータからクロックの抽出を行うクロックリカバリ回路、又は送られたクロックに対して回路内部で使用されるクロックの周波数同期をとる位相ロックループ (Phase Locked Loop : PLL) においても高速化が要請されている。

従来のアナログ方式のクロックリカバリ回路に、1 相のクロックを用い、クロックの 1 本の立ち上がりを 1 ビットのデータに対応させて位相比較を行うものがあった。この方式では、データレートとクロック周波数を等しくする必要があるため、データレートが Gbps レベルになるとクロック周波数を GHz レベルの高周波にしなければならず、クロックリカバリ回路や位相ロックループ (PLL) への高速化の要請に応えることが難しかった。例えば、位相ロックループ (PLL) に含まれる電圧制御発振器 (Voltage Controlled Oscillator : VCO) の発振周波数を GHz レベルの高周波にすることは簡単ではない。

このような要請に応えるために、伝送されたデータを位相の異なる複数のクロック (多相クロック) でサンプリングするオーバーサンプリング型のクロックリカバリ方法及び回路が提案されている。オーバーサンプリング型クロックリカバリでは、クロックの複数本の立ち上がりを 1 ビットのデータに対応させて位相比較を行っている。オーバーサンプリング型クロックリカバリ回路によれば、データレートより低い周波数のクロックを用いることができるため、データ伝送の高

速化の要請に応えることができる。

クロックの n 本の立ち上がりエッジを 1 ビットのデータに対応させて位相比較を行うクロックリカバリを、 n 倍のオーバーサンプリングと呼ぶ。以下に、8 倍のオーバーサンプリング及び 2 倍のオーバーサンプリングの従来例につき説明する。なお、8 倍のオーバーサンプリングは特開平 9-233061 号公報においても採用されている。2 倍のオーバーサンプリングは特開平 10-13397 号公報においても採用されている。

【0003】

【発明が解決しようとする課題】

従来のオーバーサンプリング法は、以下に説明するようにさらなるデータ伝送の高速化への対応を困難とする問題点があった。

【0004】

まず、8 倍のオーバーサンプリングにつき図 13 (a) を参照して説明する。図 13 (a) は、従来の 8 倍のオーバーサンプリングにおけるデータ波形とクロックエッジの模式的波形図である。

【0005】

8 倍のオーバーサンプリングでは、シリアル入力データ i の 1 ビットの中を 8 本のクロックエッジ 1 が打ち抜く。シリアル入力データ i の変化点とその 8 本のクロックエッジ 1 のうちのどのクロックエッジの間に位置するかを判断することにより、シリアル入力データ i の位相とクロックの位相の位置関係すなわちクロックに対する入力データ i の進み又は遅れの程度を検出する。その検出結果に基づきクロックの位相をシフトし、シリアル入力データ i とクロックとの間で位相同期を行い、クロックリカバリを行う。なお、特開平 9-233061 公報に開示された 8 倍のオーバーサンプリング法では、位相をシフトせずに、データの変化点の位相とほぼ 180° の位相差を有するクロックを選択することによりシリアル入力データ i とクロックとの間で位相同期を行い、クロックリカバリを行う。

したがって、入力データ i の 1 ビット内に 8 本ものクロックエッジ 1 を通すには、2 つのクロックの位相差、すなわち、クロックの相間隔を 1 ビットの長さの 8 分の 1 に狭める必要がある。例えば、データレートが 622 Mbps の場合は

、1ビット長が1600psであるので、 $1600\text{ps} / 8 = 200\text{ps}$ に相間隔を狭める必要がある。データレートが2.5Gbpsの場合は、1ビット長が400psであるので、 $400\text{ps} / 8 = 50\text{ps}$ に相間隔を狭める必要がある。

【0006】

このように、データ伝送の高速化が進むに連れて1ビットの長さが短くなるので、データ伝送の高速化に従って8倍のオーバーサンプリングの適用は困難になる。現在の技術では、8倍のオーバーサンプリングは、数百Mbpsのデータレートであれば、適用可能であるが、データレートが数Gbps程度以上になると困難となる。すなわち、データレートが数Gbps程度以上になると、相間隔が1ビットの長さの8分の1にされた多相クロックを生成することは困難となる。具体的には、データレートが2.5Gbpsの場合にあっては、50psで応答するバッファ又はインバータ、すなわち、20GHz ($1 / 50\text{ps}$)の動作周波数を持つバッファ又はインバータが必要になるが、そのようなバッファ又はインバータを現在のCMOSプロセスで実現することは不可能である。

また、多相クロックを生成することができたとしても、8相もの多相クロックの位相を相間隔や波形を保ったままシフトすることは困難である。

さらに、入力データiの1ビット内に8本のクロックエッジ1を通すために、DLL (Delay Locked Loop: 遅延ロックループ) によって8相のクロックを生成する場合、DLLに8段の遅延バッファ(単相の場合)を構成する必要がある。データレートより低い周波数のクロックを用いて入力データの連続する数ビットをオーバーサンプリングする場合、さらに、多数の遅延バッファが必要となる。例えば、データレートの8分の1の周波数のクロックを用いて入力データの連続する8ビットをオーバーサンプリングする場合、 $8 \times 8 = 64$ 個の遅延バッファが必要となり回路が大規模となる。

Yongsam Moon and Deog-Kyoon Jeong (Seoul National University, Seoul 151-742, Korea) による論文「A 1Gbps Transceiver with Receiver-End Deskewing Capability using Non-Uniform Tracked Oversampling and a 250-750MHz Four-Phase DLL (1999 Symposium on VLSI Circuits Digest of Technical Papers)」に

は、不均等な4相のクロックによってオーバーサンプリングする技術（従来技術イとする。）が開示されている（当該文献のFig 4 参照）。従来技術イによれば、データ1ビットに対して8本ものクロックエッジを通す必要はない。

しかし、従来技術イによれば、不均等な4相のクロックを生成するために、10段の遅延バッファを接続したDLLを用いている（当該文献のFig 5（a）参照）。すなわち、不均等な4相のクロックを生成するために、均等な10相のクロックを生成する能力を有するDLLを用いている。そのうち、中央の2段の遅延バッファによって不均等な4相のクロックの中央の狭められた2相の相間隔を形成している。

したがって、従来技術イによっても、DLLを構成する遅延バッファの伝搬遅延時間よりも小さい相間隔のクロックを生成することができない。

また、従来技術イによれば、例えば、データレート2.5 Gbpsの10ビットの入力データを250 MHzのクロックでオーバーサンプリングする場合、 $10 \times 10 = 100$ 個の遅延バッファが必要となる。

したがって、従来技術イによっても、多数の遅延バッファが必要となり、回路の大規模化という問題を解決することができない。

上述のように、データレートが2.5 Gbpsの場合にあっては、50 psで応答するバッファ又はインバータが必要になり、そのようなバッファ又はインバータを現在のCMOSプロセスで実現することは不可能であるため、実際には、従来技術イによって、データレート2.5 Gbpsの10ビットの入力データを250 MHzのクロックでオーバーサンプリングすることはできない。

【0007】

次に、2倍のオーバーサンプリングにつき図13（b）を参照して説明する。図13（b）は、従来の2倍のオーバーサンプリングにおけるデータ波形とクロックエッジの模式的波形図である。

【0008】

2倍のオーバーサンプリングでは、シリアル入力データiの1ビットの中を2本のクロックエッジ2で打ち抜く。すなわち2倍のオーバーサンプリングでは、クロックの相間隔を1ビットの長さの2分の1に設定すればよい。例えば、デー

タレートが 2.5 Gbps の場合は、1 ビット長が 400 ps であるので、 $400 \text{ ps} / 2 = 200 \text{ ps}$ に相間隔を設定する。200 ps の相間隔であれば、十分実現可能である。2 倍のオーバーサンプリングであれば、数百 Mbps はもちろん数 Gbps 程度のデータレートの入力データ i に対しても現在の技術水準で実施可能である。

しかし、2 倍のオーバーサンプリングは、8 倍のオーバーサンプリングとは異なり、データ 1 ビットの範囲内にクロックエッジが 2 本しか存在しないので、データの変化点はこの 2 本のクロックエッジ 2 の間に位置する。したがって、8 倍のオーバーサンプリングとは異なり、入力データ i の変化点がどのクロックエッジの間に位置するかを判断しても、入力データ i の位相とクロックの位相の位置関係すなわちクロックに対する入力データ i の進み又は遅れの程度を検出することはできない。

そこで、2 倍のオーバーサンプリングでは、8 倍のオーバーサンプリングとは全く異なった次のような機構によりデータの位相とクロックの位相の位置関係を検出する。

【0009】

2 倍のオーバーサンプリングでは、入力データ i の変化点がクロックより進む又は遅れる方向にクロックエッジを通過することにより、位相の進み始め又は遅れ始めのタイミングを検出することができるが、どの程度進んでいるか又は遅れているかを検出することはできない。そのため、2 倍のオーバーサンプリングでは、入力データ i の変化点がクロックより進む方向に動いてクロックエッジを通過し、その後、入力データ i の変化点がクロックより進んだ位置に存在する状態でサンプリングされた回数をカウントすることにより入力データ i の進みの程度を推測的に検知している。

同様に、入力データ i の変化点がクロックより遅れる方向に動いてクロックエッジを通過し、その後、入力データ i の変化点がクロックより遅れた位置に存在する状態でサンプリングされた回数をカウントすることにより入力データ i の遅れの程度を推測的に検知している。

【0010】

入力データ i の変化点がクロックより進んだ位置に存在する状態でサンプリングされた回数が連続して予め設定された回数カウントされるとクロックの位相を進め、反対に、入力データ i の変化点がクロックより遅れた位置に存在する状態でサンプリングされた回数が連続して予め設定された回数カウントされるとクロックの位相を遅らせるように位相制御し入力データ i とクロックの位相同期を図る。

【 0 0 1 1 】

しかし、以上のような 2 倍のオーバーサンプリングでは、単位時間にクロックエッジを通過する入力データ i の変化点の数が少ない場合（0 0 0 . . . や 1 1 1 . . . など、データ列に長い同符号連続がある場合）、設定回数に達するまでに通過するデータ数が多くなる（＝応答時間が長くなる）ので、設定回数に達する前にクロックに対して入力データ i が進み又は遅れ過ぎてしまい、設定回数に達して初めて位相をシフトしても入力データ i にクロックを十分追従させることができないおそれがある。また、単位時間にクロックエッジを通過する入力データ i の変化点の数が多の場合（0 1 0 1 0 1 . . . のようにデータ列に異符号が交互に配列する場合等）であっても、入力データ i の変化点のクロックに対する進み又は遅れの動きが速い（＝入力データ i の変化速度が大きい）場合には、設定回数に達するまでの入力データ i の変化量が大きいため、設定回数に達する前にクロックに対して入力データ i が進み又は遅れ過ぎてしまい、設定回数に達して初めて位相をシフトしても入力データ i にクロックを十分追従させることができないおそれがある。

以上のように入力データ i にクロックを十分追従させることができない、すなわち、クロックリカバリが優れない結果、クロックが所望の位相に同期せずデータの読み取りエラー等を発生させる。

【 0 0 1 2 】

本発明は以上の従来技術における問題に鑑みてなされたものであって、高速データ通信に対応するオーバーサンプリングクロックリカバリの分野において、さらなるデータ伝送の高速化への対応を可能にすることを課題とする。

具体的には、データの速度変化に十分に追従する高い追従性を、比較的少ない

相数のクロックで実現することのできるオーバーサンプリングクロックリカバリ方法及びその回路を提供することを課題とする。

また、バッファ又はインバータの伝搬遅延時間の最小限界の如何に拘わらず、クロックの相間隔をさらに狭く生成することのできるオーバーサンプリングクロックリカバリ方法及びその回路を提供することを課題とする。

さらに、サンプリングに用いる多相クロックを、その相間隔を精度良く保持したまま全体として高分解能かつサイクリックにシフトし、かつ、良質なクロックを生成することができるオーバーサンプリングクロックリカバリ回路を提供することを課題とする。

【 0 0 1 3 】

【課題を解決するための手段】

前記課題を解決する本出願第 1 の発明は、入力データの 1 ビットに対して 3 相以上の間隔が不均等な多相クロックを生成し、そのうち比較的狭い間隔を有する 2 相のクロックのエッジ間のいずれかの位相が前記入力データの変化点の位相に同期するように前記不均等な多相クロックの位相を制御するオーバーサンプリングクロックリカバリ方法において、遅延ロックスループ及び選択回路を用いて 2 組以上の均等な多相クロックの位相を前記遅延ロックスループを構成する 1 の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記 2 組以上の均等な多相クロックを併せて前記不均等な多相クロックとして用いることを特徴とするオーバーサンプリングクロックリカバリ方法である。

【 0 0 1 4 】

遅延ロックスループ及び選択回路を用いて均等な多相クロックの位相を前記遅延ロックスループを構成する 1 の遅延バッファの伝搬遅延時間より小さい分解能でデジタル制御するデジタル位相制御回路は、いくつか提案されており、本出願の出願人によっても、先に出願されている（特願 2 0 0 0 - 2 3 7 4 5 8，特願 2 0 0 0 - 9 5 6 0 4）。特願 2 0 0 0 - 2 3 7 4 5 8 に係る発明のデジタル位相制御回路は、本出願発明者による発明であり、特願 2 0 0 0 - 2 3 7 4 5 8 には、

228. 6 p s の遅延時間を奏する遅延バッファが接続された D L L と 2 0 0 p s の遅延時間を奏する遅延バッファが接続された D L L と選択回路とを用いて、16 相の多相クロックをその相間隔を 2 0 0 p s に保持したまま全体として 28 . 6 p s の分解能で、進み方向にも遅れ方向にも無限に（サイクリックに）位相シフト（位相制御）する技術が開示される。

特願 2 0 0 0 - 9 5 6 0 4 には、2 0 0 p s の遅延時間を奏する遅延バッファが接続された D L L と 1 6 0 p s の遅延時間を奏する遅延バッファが接続された D L L と選択回路とを用いて、16 相の多相クロックをその相間隔を 2 0 0 p s に保持したまま全体として 4 0 p s の分解能で、進み方向にも遅れ方向にも無限に（サイクリックに）位相シフト（位相制御）する技術が開示される（特願 2 0 0 0 - 9 5 6 0 4 の図 2、図 3 参照）。

【 0 0 1 5 】

本出願第 1 の発明のオーバーサンプリングクロックリカバリ方法によれば、入力データの 1 ビットに対して 3 相以上の間隔が不均等な多相クロックを生成する。すなわち、1 ビット長の範囲内に、少なくとも第 1 のクロック、第 2 のクロック及び第 3 のクロックが生成され、第 1 のクロックと、第 2 のクロックとが比較的狭い相間隔を形成し、第 3 のクロックが第 1 のクロック及び第 2 のクロックから第 1 のクロックと第 2 のクロックとの間隔より長い距離（位相）離れて位置する。その上で、比較的狭い間隔を有する 2 相のクロックのエッジ間のいずれかの位相が入力データの変化点の位相に同期するように前記多相クロックの位相を制御する。すなわち、第 1 のクロックのエッジと第 2 のクロックのエッジとの間に入力データの変化点が位置するように第 1、第 2、第 3 のクロックを含めた前記多相クロックの位相を制御する。

したがって、第 1、第 2 のクロックのエッジがビット端部に同期し、第 3 のクロックのエッジをビット中央部に同期させることができる。第 1 のクロックと第 2 のクロックとの間隔を狭くするほど入力データの位相変化を検出する能力、すなわち、検出能が向上し、入力データの変化速度に追従する能力、すなわち、追従性が向上する。追従性が向上する結果、第 3 のクロックがビット中央に確実に同期するので、第 3 のクロックにより正確なデータの読み取りを行わせることが

できる。

【 0 0 1 6 】

また、本出願第 1 の発明のオーバーサンプリングクロックリカバリ方法によれば、遅延ロックループ及び選択回路を用いて 2 組以上の均等な多相クロックの位相を前記遅延ロックループを構成する 1 の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記 2 組以上の均等な多相クロックを併せて前記不均等な多相クロックとして用いるので、比較的狭い間隔を有する 2 相のクロックの間隔が、遅延バッファの伝搬遅延時間より短い間隔に保持され、遅延ロックループを構成する遅延バッファの伝搬遅延時間よりも小さい相間隔のクロックを生成することができるという利点がある。また、例えば、均等な多相クロックを 2 組用い、データレート 2. 5 G b p s の 1 0 ビットの入力データを 2 5 0 M H z のクロックでオーバーサンプリングする場合、4 0 個の遅延バッファ（単相の場合）があれば足りる。したがって、比較的少ない遅延バッファにより実現できるため、回路の小規模化という利点がある。これは、上述の従来技術イが、不均等な 4 相のクロックを生成するために、均等な 1 0 相のクロックを生成する能力を有する D L L を用いているのに対し、本発明が不均等な 4 相のクロックを生成するために、均等な 2 相のクロックを生成する能力を有する D L L を 2 組（計 4 相のクロックを生成する能力を有する D L L 構成）用いて実施可能だからである。

したがって本出願第 1 の発明のオーバーサンプリングクロックリカバリ方法によれば、バッファ又はインバータの伝搬遅延時間の最小限界の如何に拘わらず、クロックの相間隔をさらに狭く生成し、データの速度変化に十分に追従する高い追従性を、比較的少ない相数のクロックで、かつ、小回路規模で実現することができ、その結果、さらなるデータ伝送の高速化への対応を可能にするという利点がある。

データの読み取りに使用する第 3 のクロックは、次のような位相に設定することが望ましい。クロックは第 1 - 1、第 2 - 1、第 3 - 1、第 1 - 2、第 2 - 2、第 3 - 2、第 1 - 3、・・・というように周期的に現れる。第 3 - 1 のクロッ

クは第1-2のクロックからも、第2-1のクロックからも第1のクロックと第2のクロックとの間隔より長い距離（位相）離れて位置するような位相に設定する。さらに、好ましくは第3-1のクロックは第1-2のクロックからも、第2-1のクロックからも等しい距離（位相）離れて位置するような位相に設定する。そのように設定することで、第1、第2のクロックのエッジがビット端部に同期する場合に、第3のクロックのエッジがビット中央に同期するからである。

【0017】

また本出願第2の発明は、入力データの1ビットに対して3相以上のクロックからなり、配列に粗密を有し、その粗密の周期が前記入力データの1ビット長に等しい粗密多相クロックを生成し、

密な部分のクロックエッジ間のいずれかの位相が前記入力データの変化点の位相に同期するように前記粗密多相クロックの位相を制御するオーバーサンプリングクロックリカバリ方法において、遅延ロックループ及び選択回路を用いて2組以上の均等な多相クロックの位相を前記遅延ロックループを構成する1の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記2組以上の均等な多相クロックを併せて前記粗密多相クロックとして用いることを特徴とするオーバーサンプリングクロックリカバリ方法である。

【0018】

本出願第2の発明のオーバーサンプリングクロックリカバリ方法によれば、入力データの1ビットに対して3相以上のクロックからなり、配列に粗密を有し、その粗密の周期が前記入力データの1ビット長に等しい粗密多相クロックを生成する。したがって、1ビット長の範囲内に、少なくとも第1のクロック、第2のクロック及び第3のクロックが生成される。第1のクロックと、第2のクロックとが密な部分を構成し、第3のクロックが粗な部分を構成するとする。その上で、密な部分のクロックエッジ間のいずれかの位相が入力データの変化点の位相に同期するように前記粗密多相クロックの位相を制御する。すなわち、第1のクロックのエッジと第2のクロックのエッジとの間に入力データの変化点が位置する

ように第 1、第 2、第 3 のクロックを含めた粗密多相クロックの位相を制御する。

したがって、第 1、第 2 のクロックのエッジがビット端部に同期し、第 3 のクロックのエッジをビット中央部に同期させることができる。第 1 のクロックと第 2 のクロックとの間隔を狭くするほど入力データの位相変化を検出する能力、すなわち、検出能が向上し、入力データの変化速度に追従する能力、すなわち、追従性が向上する。追従性が向上する結果、第 3 のクロックがビット中央に確実に同期するので、第 3 のクロックにより正確なデータの読み取りを行わせることができる。

【 0 0 1 9 】

また、本出願第 2 の発明のオーバーサンプリングクロックリカバリ方法によれば、遅延ロックループ及び選択回路を用いて 2 組以上の均等な多相クロックの位相を前記遅延ロックループを構成する 1 の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記 2 組以上の均等な多相クロックを併せて前記粗密多相クロックとして用いるので、本出願第 1 の発明と同様に、比較的狭い間隔を有する 2 相のクロックの間隔が、遅延バッファの伝搬遅延時間より短い間隔に保持され、遅延ロックループを構成する遅延バッファの伝搬遅延時間よりも小さい相間隔のクロックを生成することができるという利点がある。

したがって本出願第 2 の発明のオーバーサンプリングクロックリカバリ方法によれば、本出願第 1 の発明と同様に、バッファ又はインバータの伝搬遅延時間の最小限界の如何に拘わらず、クロックの相間隔をさらに狭く生成し、データの速度変化に十分に追従する高い追従性を、比較的少ない相数のクロックで、かつ、小回路規模で実現することができ、その結果、さらなるデータ伝送の高速化への対応を可能にするという利点がある。

第 1、第 2 のクロックは最も密な部分に、第 3 のクロックは最も粗な部分に設定することが好ましい。そのように設定することで、第 1、第 2 のクロックのエッジがビット端部に同期する場合に、第 3 のクロックのエッジがビット中央に同

期するからである。

【 0 0 2 0 】

また本出願第 3 の発明は、本出願第 1 の発明又は本出願第 2 の発明のオーバーサンプリングクロックリカバリ方法において、前記クロックを前記入力データの 1 ビットに対して 3 相とすることを特徴とする。

【 0 0 2 1 】

したがって本出願第 3 の発明のオーバーサンプリングクロックリカバリ方法によれば、データ 1 ビットに対して 3 相という少ない相数で高い追従性を実現することができるという利点がある。

【 0 0 2 2 】

また本出願第 4 の発明は、入力データの 1 ビットに対して 4 相以上の間隔が不均等な多相クロックを生成し、そのうち比較的狭い間隔を有する 1 組のクロックのエッジ間のいずれかの位相が前記入力データの変化点の位相に同期するように前記不均等な多相クロックの位相を制御するとともに、前記 1 組のクロックから比較的広い相間隔を介してほぼ 2 分の 1 ビット長離れた他の 1 組の比較的狭い間隔を有するクロックのエッジ間のいずれかの位相が前記入力データの変化点の位相に同期することを回避するように前記不均等な多相クロックの位相を制御することを特徴とするオーバーサンプリングクロックリカバリ方法である。

【 0 0 2 3 】

本出願第 4 の発明のオーバーサンプリングクロックリカバリ方法によれば、1 ビット長の範囲内に、少なくとも第 1 のクロック、第 2 のクロック、第 3 のクロック及び第 4 のクロックが生成される。第 1 のクロックと、第 2 のクロックとが比較的狭い間隔を有する 1 組のクロックを構成し、第 3 のクロックと第 4 のクロックが前記 1 組のクロックから比較的広い相間隔を介してほぼ 2 分の 1 ビット長離れた他の 1 組の比較的狭い間隔を有するクロックを構成するとする。その上で、比較的狭い間隔を有する 1 組のクロックのエッジ間のいずれかの位相が入力データの変化点の位相に同期するように多相クロックの位相を制御する。ここでは、第 1 のクロックのエッジと第 2 のクロックのエッジとの間に入力データの変化点が位置するように第 1、第 2、第 3 のクロックを含めた多相クロックの位相を

制御するとする。

その場合、第 1、第 2 のクロックのエッジがビット端部に同期し、第 3、第 4 のクロックのエッジをビット中央部に同期させることができる。第 1 のクロックと第 2 のクロックとの間隔を狭くするほど入力データの位相変化を検出する能力、すなわち、検出能が向上し、入力データの変化速度に追従する能力、すなわち、追従性が向上する。追従性が向上する結果、第 3 のクロック及び第 4 のクロックがビット中央に確実に同期するので、第 3 のクロック又は第 4 のクロックにより正確なデータの読み取りを行わせることができる。

【 0 0 2 4 】

一方、前記 1 組のクロックから比較的広い相間隔を介してほぼ 2 分の 1 ビット長離れた他の 1 組の比較的狭い間隔を有するクロックのエッジ間のいずれかの位相が入力データの変化点の位相に同期することを回避するように多相クロックの位相を制御する。すなわち、第 3 のクロックのエッジと第 4 のクロックのエッジとの間に入力データの変化点が位置すると検出された場合には、第 1、第 2、第 3、第 4 のクロックを含めた多相クロックの位相をシフトして、その状態を回避する。したがって、データの読み取りに使用する第 3 のクロック又は第 4 のクロックがビット端部に同期する不都合な状態を積極的に回避することができるという利点がある。

したがって本出願第 4 の発明のオーバーサンプリングクロックリカバリ方法によれば、データの速度変化に十分に追従する高い追従性を、比較的少ない相数のクロックで実現することができ、その結果、さらなるデータ伝送の高速化への対応を可能にするという利点があり、データ読み取りエラーを発生させるようなクロックエッジとビット中央とがずれた不都合な状態を積極的に回避することができるという利点がある。

【 0 0 2 5 】

また本出願第 5 の発明は、入力データの 1 ビットに対して 4 相以上のクロックからなり、配列に粗密を有し、その粗密の周期が前記入力データの 1 ビット長の 2 分の 1 に等しい粗密多相クロックを生成し、
密な部分のクロックエッジ間のいずれかの位相が前記入力データの変化点の位相

に同期するように前記粗密多相クロックの位相を制御するとともに、前記密な部分に粗な部分を介して隣接する他の密な部分のクロックエッジ間のいずれかの位相が前記入力データの変化点の位相に同期することを回避するように前記粗密多相クロックの位相を制御することを特徴とするオーバーサンプリングクロックリカバリ方法である。

【 0 0 2 6 】

本出願第5の発明のオーバーサンプリングクロックリカバリ方法によれば、1ビット長の範囲内に、少なくとも第1のクロック、第2のクロック、第3のクロック及び第4のクロックが生成される。第1のクロックと、第2のクロックとが密な部分を構成し、第3のクロックと第4のクロックが他の密な部分を構成するとする。その上で、密な部分のクロックエッジ間のいずれかの位相が入力データの変化点の位相に同期するように前記粗密多相クロックの位相を制御する。ここでは、第1のクロックのエッジと第2のクロックのエッジとの間に入力データの変化点が位置するように第1、第2、第3のクロックを含めた前記粗密多相クロックの位相を制御するとする。

その場合、第1、第2のクロックのエッジがビット端部に同期し、第3、第4のクロックのエッジをビット中央部に同期させることができる。第1のクロックと第2のクロックとの間隔を狭くするほど入力データの位相変化を検出する能力、すなわち、検出能が向上し、入力データの変化速度に追従する能力、すなわち、追従性が向上する。追従性が向上する結果、第3のクロック及び第4のクロックがビット中央に確実に同期するので、第3のクロック又は第4のクロックにより正確なデータの読み取りを行わせることができる。

【 0 0 2 7 】

一方、前記密な部分に粗な部分を介して隣接する他の密な部分のクロックエッジ間のいずれかの位相が入力データの変化点の位相に同期することを回避するように多相クロックの位相を制御する。すなわち、第3のクロックのエッジと第4のクロックのエッジとの間に入力データの変化点が位置すると検出された場合には、第1、第2、第3、第4のクロックを含めた多相クロックの位相をシフトして、その状態を回避する。したがって、データの読み取りに使用する第3のクロ

ック又は第4のクロックがビット端部に同期する不都合な状態を積極的に回避することができるという利点がある。

したがって本出願第5の発明のオーバーサンプリングクロックリカバリ方法によれば、データの速度変化に十分に追従する高い追従性を、比較的少ない相数のクロックで実現することができ、その結果、さらなるデータ伝送の高速化への対応を可能にするという利点があり、データ読み取りエラーを発生させるようなクロックエッジとビット中央とがずれた不都合な状態を積極的に回避することができるという利点がある。

【0028】

また本出願第6の発明は、本出願第4の発明のオーバーサンプリングクロックリカバリ方法において、遅延ロックループ及び選択回路を用いて2組以上の均等な多相クロックの位相を前記遅延ロックループを構成する1の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記2組以上の均等な多相クロックを併せて前記不均等な多相クロックとして用いることを特徴とする。

また本出願第7の発明は、本出願第5の発明のオーバーサンプリングクロックリカバリ方法において、遅延ロックループ及び選択回路を用いて2組以上の均等な多相クロックの位相を前記遅延ロックループを構成する1の遅延バッファの伝搬遅延時間より小さい分解能でそれぞれデジタル制御し、前記デジタル制御によって、一組の均等な多相クロックと他の一組の均等な多相クロックとの位相差を、前記伝搬遅延時間より短い位相差に保持し、前記2組以上の均等な多相クロックを併せて前記粗密多相クロックとして用いることを特徴とする。

【0029】

したがって本出願第6の発明又は本出願第7の発明のオーバーサンプリングクロックリカバリ方法によれば、本出願第4の発明又は本出願第5の発明と同様の利点があるとともに、本出願第1の発明又は本出願第2の発明と同様に、バッファ又はインバータの伝搬遅延時間の最小限界の如何に拘わらず、クロックの相間隔をさらに狭く生成し、データの速度変化に十分に追従する高い追従性を、比較

的少ない相数のクロックで、かつ、小回路規模で実現することができ、その結果、さらなるデータ伝送の高速化への対応を可能にするという利点がある。

また本出願第 6 の発明又は本出願第 7 の発明は、本出願第 1 の発明又は本出願第 2 の発明とは異なり、前記他の 1 組の比較的狭い間隔を有するクロックのエッジ間のいずれかの位相が前記入力データの変化点の位相に同期することを回避するように前記不均等な多相クロック（前記粗密多相クロック）の位相を制御するので、同一間隔の 2 組以上の均等な多相クロック組み合わせる場合に、それらすべてクロックを有効に利用することができるという利点がある。

【 0 0 3 0 】

また本出願第 8 の発明は、本出願第 4 の発明から本出願第 7 の発明のうちいずれかの発明のオーバーサンプリングクロックリカバリ方法において、前記クロックを前記入力データの 1 ビットに対して 4 相とすることを特徴とする。

【 0 0 3 1 】

したがって本出願第 8 の発明のオーバーサンプリングクロックリカバリ方法によれば、データ 1 ビットに対して 4 相という少ない相数で高い追従性を実現し、データ読み取りエラーを発生させるようなクロックエッジとビット中央とがずれた不都合な状態を積極的に回避することができるという利点がある。

【 0 0 3 2 】

また本出願第 9 の発明は、本出願第 1 の発明から本出願第 8 の発明のうちいずれかの発明のオーバーサンプリングクロックリカバリ方法において、位相が固定され均等な相間隔を有する第一の多相クロックと、前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第二の多相クロックとを用い、前記第一の多相クロックを構成する一のクロックと、前記第二の多相クロックを構成する一のクロックとを位相同期させ、その位相同期させるクロックの組み合わせを切り換えることにより、前記第二の多相クロックの位相をシフトするデジタル位相制御方法を用いて、多相クロックの位相を制御することを特徴とする。

【 0 0 3 3 】

したがって本出願第 9 の発明のオーバーサンプリングクロックリカバリ方法に

よれば、第一の多相クロックを構成する一のクロック信号（クロック 1-1 とする。）と、第二の多相クロックを構成する一のクロック信号（クロック 2-1 とする。）とを位相同期させた場合に、第一の多相クロックと第二の多相クロックの相間隔が異なるので、第一の多相クロックを構成する他のクロック 1-2 と、第二の多相クロックを構成する他のクロック 2-2 とは、第一の多相クロックの相間隔と第二の多相クロックの相間隔との差分又は差分よりさらに短い長さ（位相）だけ、位相が異なることになる。かかる状態から、クロック 1-2 とクロック 2-2 とを位相同期させれば、第二の多相クロックが全体として前記差分又は差分よりさらに短い長さ（位相）だけ位相シフトする。したがって、位相同期させるクロックの組み合わせを切り換えることにより、第一の多相クロックの相間隔と第二の多相クロックの相間隔との差分又は差分よりさらに短い長さ（位相）を分解能として第二の多相クロックの位相をシフトすることができる。かかる差分又は差分よりさらに短い長さ（位相）が分解能となるので高分解能に位相制御することができる。

「相間隔」とは、一の多相クロックを構成する一のクロック信号と隣接する他のクロック信号すなわち位相が近接する他のクロック信号との位相差をいう。均等な相間隔を有する多相クロックは、例えば、アナログ D L L（Delay Locked Loop：遅延ロックループ）により生成することができる。

また、「多相クロック」とは、同一周波数で位相の異なる所定数のクロック信号をいう。

なお、上述の差分又は差分よりさらに短い長さ（位相）が、第一の多相クロックの相間隔と第二の多相クロックの相間隔の双方より小さくなるような、第一の多相クロックと第二の多相クロックを組み合わせることが好ましい。高分解能を実現するためである。

【 0 0 3 4 】

また本出願第 10 の発明は、本出願第 1 の発明から本出願第 8 の発明のうちいずれか一の発明のオーバーサンプリングクロックリカバリ方法において、位相が固定され均等な相間隔を有する第一の多相クロックと、前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第二の多相クロック及び第三の多

相クロックとを用い、
前記第一の多相クロックを構成する一のクロックと、前記第二の多相クロックを構成する一のクロック信号、
前記第一の多相クロックを構成する一のクロックと、前記第三の多相クロックを構成する一のクロック信号、
とをそれぞれ位相同期させ、
その位相同期させるクロックの組み合わせを切り換えることにより、前記第二の多相クロックと前記第三の多相クロックとの位相差を保持しつつ、前記入力データのサンプリングに用いる第二及び第三の多相クロックの位相を制御することを特徴とする。

【 0 0 3 5 】

したがって本出願第 1 0 の発明のオーバーサンプリングクロックリカバリ方法によれば、第二の多相クロックと第三の多相クロックとを位相差を保持して高分解能に位相制御し、これらのクロックを前記入力データのサンプリングに用いるので、本出願第 1 の発明にいう入力データの 1 ビットに対して 3 相以上の間隔が不均等な多相クロック、又は、本出願第 2 の発明にいう入力データの 1 ビットに対して 3 相以上のクロックからなり、配列に粗密を有し、その粗密の周期が前記入力データの 1 ビット長に等しい粗密多相クロック、又は、本出願第 4 の発明にいう入力データの 1 ビットに対して 4 相以上の間隔が不均等な多相クロック、又は、本出願第 5 の発明にいう入力データの 1 ビットに対して 4 相以上のクロックからなり、配列に粗密を有し、その粗密の周期が前記入力データの 1 ビット長の 2 分の 1 に等しい粗密多相クロックを生成することができる。

また、多相クロックを遅延ロックスループにより生成する場合に、バッファ又はインバータの伝搬遅延時間よりも小さい相間隔のクロック配列を実現することができるという利点があり、高い追従性を実現することができるという利点がある。

【 0 0 3 6 】

また本出願第 1 1 の発明は、本出願第 1 0 の発明のオーバーサンプリングクロックリカバリ方法において、前記第二及び第三の多相クロックの位相を制御する

分解能と、前記第二の多相クロックと前記第三の多相クロックとの位相差とを等しくすることを特徴とする。

【 0 0 3 7 】

したがって本出願第 1 1 の発明のオーバーサンプリングクロックリカバリ方法によれば、位相制御の分解能と前記第二の多相クロックと前記第三の多相クロックとの位相差とを等しくするので、極めて狭い相間隔のクロックを生成することができるという利点があり、高い追従性を実現することができるという利点がある。

【 0 0 3 8 】

また本出願第 1 2 の発明は、 m 段の遅延バッファが構成された第一の遅延ロックスループと、

n 段 ($n \neq m$) の遅延バッファが構成された第二の遅延ロックスループと、

前記 m 段の遅延バッファから一の遅延バッファを選択してクロックを取り出す第一の選択回路と、

前記第二の遅延ロックスループの n 段の遅延バッファから一の遅延バッファを選択してその遅延バッファに前記第一の選択回路が取り出したクロックを入力する第二の選択回路と、

n 段の遅延バッファが構成された第三の遅延ロックスループと、

前記 m 段の遅延バッファから一の遅延バッファを選択してクロックを取り出す第三の選択回路と、

前記第三の遅延ロックスループの n 段の遅延バッファから一の遅延バッファを選択してその遅延バッファに前記第三の選択回路が取り出したクロックを入力する第四の選択回路と、

前記第二の遅延ロックスループから出力されるクロック及び前記第三の遅延ロックスループから出力されるクロックの双方により入力データをサンプリングして、前記入力データに対するクロックの遅れ・進みを検出する位相比較部と、

前記位相比較部の検出結果に基づき前記第一、第二、第三、及び第四の選択回路を制御する制御回路とを備えることを特徴とするオーバーサンプリングクロックリカバリ回路である。但し、 n 、 m は正の整数である。

【 0 0 3 9 】

本出願第 1 2 の発明のオーバーサンプリングクロックリカバリ回路によれば、
m 段の遅延バッファが構成された第一の遅延ロックループにより、位相が固定され均等な相間隔を有する第一の多相クロックが生成され、n 段の遅延バッファが構成された第二の遅延ロックループにより前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第二の多相クロックが生成され、n 段の遅延バッファが構成された第三の遅延ロックループにより前記第一の多相クロックの相間隔と異なる均等な相間隔を有する第三の多相クロックが生成され、
第一の選択回路及び第二の選択回路により前記第一の多相クロックを構成する一のクロックと、前記第二の多相クロックを構成する一のクロック信号とを位相同期させその位相同期させるクロックの組み合わせを切り換えることができ、第三の選択回路及び第四の選択回路により前記第一の多相クロックを構成する一のクロックと、前記第三の多相クロックを構成する一のクロック信号とを位相同期させその位相同期させるクロックの組み合わせを切り換えることができ、
制御回路により、前記第二の多相クロックと前記第三の多相クロックとの位相差を保持しつつ、位相比較部の検出結果に基づきクロックリカバリを行うことができる。

【 0 0 4 0 】

また本出願第 1 3 の発明は、本出願第 1 2 の発明のオーバーサンプリングクロックリカバリ回路において、位相制御の分解能が前記遅延バッファの伝搬遅延時間より小さく設定され、前記制御回路は、前記第一及び第二の選択回路と、前記第三及び第四の選択回路とで 1 分解能異なる位相制御を行うことを特徴とする。

【 0 0 4 1 】

したがって本出願第 1 3 の発明のオーバーサンプリングクロックリカバリ回路によれば、高分解能で多相クロックを位相制御することができるとともに、前記制御回路は、前記第一及び第二の選択回路と、前記第三及び第四の選択回路とで 1 分解能異なる位相制御を行うので、その分解能に等しい相間隔のクロックが生成され、そのような狭い相間隔を有するクロックにより入力データをサンプリングしクロックリカバリすることにより、高い追従性を実現することができる。

【 0 0 4 2 】

また本出願第 1 4 の発明は、本出願第 1 2 の発明又は本出願第 1 3 の発明のオーバーサンプリングクロックリカバリ回路において、前記第二及び第三の遅延ロックループは、環状に接続された n 段の遅延バッファをそれぞれ有し、前記第二の遅延ロックループにあっては前記第二の選択回路により、前記第三の遅延ロックループにあっては第四の選択回路により入力された遅延バッファを初段をする n 段の遅延線の入出力信号の位相を比較するように切り換わることを特徴とする。

【 0 0 4 3 】

したがって本出願第 1 4 の発明のオーバーサンプリングクロックリカバリ回路によれば、環状に接続された n 段の遅延バッファにより配置が変動する n 段の遅延線を構成するので回路規模を小規模に押さえることができるとともに、第二、第四の選択回路の選択状態により配置が変動する（＝初段及び最終段の遅延バッファが変更される。）遅延線の入出力信号の位相を比較するように切り換わるので、サンプリングに用いる多相クロックを、その相間隔を精度良く保持したまま全体として高分解能かつサイクリックにシフトし、かつ、DLLにより良質なクロックを位相比較部に供給することができるという利点がある。

【 0 0 4 4 】

【発明の実施の形態】

以下に本発明の一実施の形態につき図面を参照して説明する。以下は本発明の一実施形態であって本発明を限定するものではない。

【 0 0 4 5 】

実施の形態 1

まず、本発明の実施の形態 1 のオーバーサンプリングクロックリカバリ方法につき、図 1 を参照して説明する。図 1 は本発明の実施の形態 1 のオーバーサンプリングクロックリカバリ法を説明するための模式的波形図である。

【 0 0 4 6 】

本実施形態の方法では入力データ i の 1 ビットに対して 3 相の間隔が不均等なクロック CLK a, CLK b, CLK c を生成する。また、クロック CLK b,

CLK c, CLK d も入力データ i の 1 ビットに対して 3 相の間隔が不均等なクロックである。4 相のクロック CLK a, CLK b, CLK c, CLK d によって入力データをサンプリングし、そのサンプリング結果によって入力データ i との位相差を検出し、比較的狭い間隔を有する 2 相のクロック CLK b, CLK c のエッジ間のいずれかの位相が入力データ i の変化点の位相に同期するようにクロック CLK a, CLK b, CLK c, CLK d の位相を制御する。

図 1 に示すように本方法においては、入力データ i の 1 ビットに対し 3 本の立ち上がりクロックエッジが対応する 4 相のクロック CLK a, CLK b, CLK c, CLK d によりサンプリングを行い、入力データ i に対するクロックのおくれ・進みを検出する。

クロック CLK a とクロック CLK d との間隔は入力データ i の 1 ビットの長さに等しい。クロック CLK b とクロック CLK c との間隔は、クロック CLK a とクロック CLK b との間隔及びクロック CLK c とクロック CLK d との間隔より狭くする。クロック CLK a とクロック CLK b との間隔と、クロック CLK c とクロック CLK d との間隔は、ほぼ等しくする。言い換えると、クロック CLK b 及びクロック CLK c をクロック CLK a とクロック CLK d との間のほぼ中央に配置し、その相間隔を比較的狭くする。クロック CLK b とクロック CLK c との間隔は、ビット長の 4 分の 1 よりも狭される。ここでは、ビット長の 8 分の 1 程度にされているとする。実際のデータの取り込みに用いるクロックはクロック CLK a 及びクロック CLK d である。

【0047】

以上のような間隔で 4 相クロック CLK a ~ CLK d を配置した上で入力データ i のサンプリングを行う。そのサンプルデータに基づきクロックのデータに対する遅れ・進みを検出（判定）し、クロックがデータに追従するように制御することによりクロックリカバリを行う。本方法においては、クロック CLK b の立ち上がりエッジとクロック CLK c の立ち上がりエッジとの間に入力データ i の変化点が位置するようにクロック CLK a ~ CLK d を制御すれば、自ずとクロック CLK a 及びクロック CLK d の立ち上がりエッジが入力データ i のビットの中央に同期する。クロック CLK a ~ CLK d の位相を制御する際には、クロ

ックCLK a～CLK dの位相をその相間隔を保持したままクロックCLK bとクロックCLK cとの間隔に等しい長さを1分解能（1単位）としてシフトする。

【0048】

図1（a1），（a2）に示すように、クロックCLK a～CLK dによって抽出したサンプルデータが〈0111〉，〈1000〉である場合には、クロックCLK a～CLK dの位相を「進ませるべきである（UP）」と判定する。この場合、入力データiの変化点がクロックCLK aとクロックCLK bの間にあり、入力データiに対しクロックCLK a～CLK dが遅れているためである。その判定に基づきクロックCLK a～CLK dの位相を1分解能進ませる。

【0049】

図1（b1），（b2）に示すように、クロックCLK a～CLK dによって抽出したサンプルデータが〈0011〉，〈1100〉である場合には、クロックCLK a～CLK dと入力データiの位相は「同期している（同期）」と判定する。この場合、入力データiの変化点がクロックCLK bとクロックCLK cの間にあり、クロックCLK a及びクロックCLK dの立ち上がりエッジが入力データiのビットの中央に同期しているためである。

【0050】

図1（c1），（c2）に示すように、クロックCLK a～CLK dによって抽出したサンプルデータが〈0001〉，〈1110〉である場合には、クロックCLK a～CLK dの位相を「遅らせるべきである（DOWN）」と判定する。この場合、入力データiの変化点がクロックCLK cとクロックCLK dの間にあり、入力データiに対しクロックCLK a～CLK dが進んでいるためである。その判定に基づきクロックCLK a～CLK d位相を1分解能遅らせる。

【0051】

【表 1】

サンプリングデータ列		判定
0111	1000	UP
0011	1100	同期
0001	1110	DN
1111	0000	無効
1011	0100	
1101	0010	
1001	0110	
1010	0101	

【0052】

表1は、サンプルデータ列と判定の対応表である。上述のように〈0111〉、〈1000〉はUP、〈0011〉、〈1100〉は同期、〈0001〉、〈1110〉はDOWNと判定し、それ以外は無効として扱う。

【0053】

以上のようにクロックCLKa～CLKdを制御することにより、実際のデータの取り込みに用いるクロックCLKa及びクロックCLKdを入力データiの値の安定したビットの中央に同期させることができる。

本方法によれば、8倍のオーバーサンプリングのように入力データの1ビット内に8本ものクロックエッジを通す必要はなく3本でよい。それにもかかわらず、クロックCLKbとクロックCLKcとの間隔は比較的狭くされているので、高い追従性を実現することができる。クロックCLKbとクロックCLKcとの間隔を1ビットの長さの8分の1に狭めれば、8倍のオーバーサンプリングと同等の追従性を得ることができる。同様に16分の1に狭めれば、16倍のオーバーサンプリングと同等の追従性を得ることができる。8倍、16倍等の高倍率オーバーサンプリングの追従性が1ビット当たり3相のクロックで得られる。そのような高倍率のオーバーサンプリングの追従性を実現しつつも、位相制御するクロックの相数が1ビット当たり3相と少ないため、比較的容易にクロックを位相制御することができる。

【0054】

実施の形態 2

次に本発明の実施の形態 2 のオーバーサンプリングクロックデータリカバリ回路につき図 2 ～ 9 を参照して説明する。図 2 は本発明の実施の形態 2 のオーバーサンプリングクロックデータリカバリ回路の全体構成を示すブロック回路図である。

【 0 0 5 5 】

実施の形態 1 においては、どのような回路構成により実現するのかについて説明しなかった。本実施形態のオーバーサンプリングクロックデータリカバリ回路（以下、「CDR」と略す。）は実施の形態 1 のオーバーサンプリングクロックリカバリ方法を実施する回路の一実施形態である。なお、本実施形態においてはデータレート 2.5 Gbps の 8 ビットのシリアル入力データと、周波数 312.5 MHz（周期 3200 ps）の差動クロックを扱う場合を例にして説明する。

実施の形態 2 においては、第一の多相クロックとして 14 相の多相クロック CK1 ～ CK14 を、第二の多相クロックとして 16 相の多相クロック CLK1 ～ CLK16 を、第三の多相クロックとして 16 相の多相クロック CLK1D ～ CLK16D を生成する。また、第一の遅延ロックループとして 7 段 DLL20 を、第二の遅延ロックループとして 8 段 DLL40a を、第三の遅延ロックループとして 8 段 DLL40b を、第一の選択回路としてセレクタ 31a を、第二の選択回路としてセレクタ 41a, 42a, 43a, 44a を、第三の選択回路としてセレクタ 31b を、第四の選択回路としてセレクタ 41b, 42b, 43b, 44b を用いる。

【 0 0 5 6 】

〔 1. 全体的構成 〕

図 2 に示すように本実施形態の CDR 8 は、位相制御部 9 と、位相比較部 50 と、多数決回路 51 と、累積カウンタ 52 と、セレクタ制御回路 53 とからなり、外部の PLL（位相ロックループ（Phase Locked Loop））10 からクロックの供給を受ける。位相制御部 9 は、7 段 DLL（遅延ロックループ（Delay Locked Loop））20 と、セレクタ 31 と、反転切換回路 32 と、8 段 DLL40 と

からなる。セクタ31、反転切換回路32及び8段DLL40は面A、面Bに同一の回路を構成した二面構成になっており、面Aにはセクタ31a、反転切換回路32a、8段DLL40aが構成され、面Bにはセクタ31b、反転切換回路32b、8段DLL40bが構成される。

【0057】

〔2. 全体的処理の流れ〕

次に、PLL10及びCDR8の処理の概要について説明する。

PLL10は周波数312.5MHzの差動クロックCKa-CKbを生成し、7段DLLに供給する。クロックCKa及びクロックCKbはそれぞれ3200psの周期を有し、互いに半周期、すなわち1600ps位相が異なる。すなわち反転した関係にある。7段DLL20は差動クロックCKa-CKbを均等な相間隔(3200ps/14≒228.6ps)の14相の多相クロック(7対の差動クロック)CK1~CK14に展開し、その14相の多相クロックCK1~CK14を面A及び面Bに構成されたセクタ31a、31bへそれぞれ出力する。

セクタ31a、31bはそれぞれ制御信号S1-6、S2-6に基づきクロックCK1~CK14の中からいずれか一对の差動クロックを選択し、反転切換回路32a、32bへ出力する。反転切換回路32a、32bはそれぞれ制御信号S1-5、S2-5に基づきその受信した一对の差動クロックの反転と非反転とを切り換えて8段DLL40a、40bへ出力する。すなわち、反転の場合はその一对の差動クロックを反転して通過させ、非反転の場合はその一对の差動クロックをそのまま通過させる。

8段DLL40a、40bはそれぞれ受信したその一对の差動クロックを均等な相間隔(32000ps/16=2000ps)の16相の多相クロック(8対の差動クロック)CLK1~CLK16、CLK1D~CLK16Dに展開し、位相比較部50へ出力する。その際、8段DLL40a、40bはそれぞれ制御信号S1-1~S1-4、S2-1~S2-4に基づき、受信したその一对の差動クロックと位相同期させるクロックを切り換える。

【0058】

以上のような制御信号 $S1-1 \sim S1-6$ に基づくセクタ 31a、反転切換回路 32a 及び 8 段 D L L 40 a の動作により 14 相の多相クロック $CK1 \sim CK14$ を構成する一対の差動クロックと、16 相の多相クロック $CLK1 \sim CLK16$ を構成する一対の差動クロックとを位相同期させ、その位相同期させるクロックの組合せを切り換える。

同様に制御信号 $S2-1 \sim S2-6$ に基づくセクタ 31b、反転切換回路 32b 及び 8 段 D L L 40 b の動作により 14 相の多相クロック $CK1 \sim CK14$ を構成する一対の差動クロックと 16 相の多相クロック $CLK1D \sim CLK16D$ を構成する一対の差動クロックとを位相同期させ、その位相同期させるクロックの組合せを切り換える。

この切換動作により位相制御部 9 は、16 相の多相クロック $CLK1 \sim CLK16$ 、 $CLK1D \sim CLK16D$ をそれぞれ相間隔を保持したまま全体としてシフトする。本実施形態においては、57 P S の分解能で位相シフトを行う。言い換えれば、3200 p s の周期を 57 P S の分解能で 56 分割した位相制御を行う。また、多相クロック $CLK1D \sim CLK16D$ が多相クロック $CLK1 \sim CLK16$ に対し、1 分解能 57 p s 進んだ状態になるように制御する。すなわち、面 B の回路は面 A の回路に対して常に 1 分解能 57 p s 進んだ状態の制御を行う。

【0059】

計 32 相のクロック $CLK1 \sim CLK16$ 、 $CLK1D \sim CLK16D$ を受けた位相比較部 50 は、データレート 2.5 G b p s の 8 ビットのシリアル入力データ i をサンプリングし、入力データ i とクロックとの位相比較を行い、各ビット毎にクロックの入力データ i に対する遅れ・進みを判定し、UP 信号、同期信号又は DOWN 信号 ($UP1$, $SY1$, $DN1 \sim UP8$, $SY8$, $DN8$) を多数決回路 51 へ出力する。すなわち、位相比較部 50 は 8 つの位相比較器 (図示せず) を平行に配列した構成を有し、各位相比較器がそれぞれ UP 信号、同期信号及び DOWN 信号のうちいずれか一を出力する。但し、データの変化点が無い場合などは、クロックの入力データ i に対する遅れ・進みを判定できないので、その場合は UP 信号、同期信号及び DOWN 信号のいずれも出力しない。

ここで、UP信号は、入力データ i に対してクロックが遅れていると判定しクロック $CLK1 \sim CLK16$, $CLK1D \sim CLK16D$ の位相を進ませる（アップさせる）べきことを指示する信号である。同期信号は、入力データ i とクロックが同期していると判定した結果を指示する信号である。DOWN信号は、入力データ i に対してクロックが進んでいると判定しクロック $CLK1 \sim CLK16$, $CLK1D \sim CLK16D$ の位相を遅らせる（ダウンさせる）べきことを指示する信号である。

【0060】

多数決回路51は、位相比較部が出力した8つのUP/同期/DOWN信号の多数決を取り、その多数決の結果としてUP信号UP20又はDOWN信号DN20を累積カウンタ52へ出力する。但し、その多数決の結果が同期である場合にUP信号UP20及びDOWN信号DN20のいずれも出力しない。すなわち、 $UP20=0$, $DN20=0$ とする。

【0061】

累積カウンタ52は、多数決回路51が出力したUP信号UP20及びDOWN信号DN20を次のようにカウントし、UP信号UP30又はDOWN信号DN30をセレクタ制御回路53へ出力する。

すなわち、累積カウンタ52は、初期累積値を0とし、UP信号UP20を1回受ける度に累積値に1加算（カウントアップ）し、DOWN信号DN20を1回受ける度に累積値から1減算（カウントダウン）する。また、累積カウンタ52は、累積値が4になる場合には累積値をリセットして0に戻すとともにUP信号UP30をセレクタ制御回路53へ出力する。一方、累積値が-4になる場合には、累積カウンタ52は累積値をリセットして0に戻すとともにDOWN信号DN30をセレクタ制御回路53へ出力する。

このように累積カウンタ52は、UP信号UP20、DOWN信号DN20に0.25の重み付けをした処理を行う。これは、クロックを追従させる必要のない高周波数の入力データ i の小さい揺れには反応させず、低周波数の入力データ i の大きい揺れに反応させるためである。1回の重みの値を0.25にするのは最適なクロックリカバリを行うための一例であり、最適な重みの値はデータレ-

トやジッタ周波数により異なる。

【0062】

セレクタ制御回路53はUP信号UP30を受けると、計32相のクロックCLK1～CLK16, CLK1D～CLK16Dを1分解能57ps進ませるための制御信号S1-1～S1-4, S2-1～S2-4を選択し位相制御部9へ出力する。

セレクタ制御回路53はDOWN信号DN30を受けると、計32相のクロックCLK1～CLK16, CLK1D～CLK16Dを1分解能57ps遅らせるための制御信号S1-1～S1-4, S2-1～S2-4を選択し位相制御部9へ出力する。

【0063】

上述のように位相制御部9は、制御信号S1-1～S1-6, S2-1～S2-6に基づき位相同期させる14相の多相クロックCK1～CK14を構成する一対の差動クロックと、16相の多相クロックCLK1～CLK16 (CLK1D～CLK16D) を構成する一対の差動クロックとの組合せを切り換える。それにより、クロックCLK1～CLK16, CLK1D～CLK16Dを1分解能シフトする。

【0064】

〔3. 波形図及び位相チャートからみたデジタル位相制御〕

次に図3及び表2を参照して説明する。図3は本発明の実施の形態2におけるクロックエッジの位置関係を示す模式的波形図であり、(a)は312.5MHzのクロックの波形図、(b)は14相の多相クロックCK1～CK14の立ち上がりエッジを描いた波形図、(c)は16相の多相クロックCLK1～CLK16の立ち上がりエッジを描いた波形図である。

上述のように図3(b)に示す14相の多相クロックCK1～CK14は、7段DLL20によって生成されるクロックであり、その相間隔は $3200\text{ps} / 14 \div 228.6\text{ps}$ である。図3(c)に示す16相の多相クロックCLK1～CLK16は、8段DLL40によって生成されるクロックであり、その相間隔は $3200\text{ps} / 16 = 200\text{ps}$ である。例えば、クロックCK1とクロッ

クCK8とは半周期1600psの位相差がある。すなわちクロックCK1とクロックCK8とで1対の差動クロックを構成する。この差動クロックを差動クロックCK1-CK8と記述する。同様に、7段DLL20により差動クロックCK2-CK9, CK3-CK10, CK4-CK11, CK5-CK12, CK6-CK13, CK7-CK14が生成される。また8段DLL40により差動クロックCLK1-CLK9, CLK2-CLK10, CLK3-CLK11, CLK4-CLK12, CLK5-CLK13, CLK6-CLK14, CLK7-CLK15, CLK8-CLK16が生成される。なお表記上、差動クロックA-Bと、差動クロックB-Aとは反転した関係にあるとする。

【0065】

位相制御部9は、14相の多相クロックCK1~CK14については差動クロックCK1-CK8→CK3-CK10→CK5-CK12→CK7-CK14→CK9-CK2→CK11-CK4→CK13-CK6のサイクルで、16相の多相クロックCLK1~CLK16については差動クロックCLK1-CLK9→CLK3-CLK11→CLK5-CLK13→CLK7-CLK15→CLK9-CLK1→CLK11-CLK3→CLK13-CLK5→CLK15-CLK7のサイクルで位相同期させるクロック信号の組み合わせを切り換える。

このように切り換えることにより、57psずつ連続的に16相の多相クロックCLK1~CLK16の位相を相間隔を200psに保持したままシフトすることができる。このようなサイクルにより組み合わせられる56通りの同期状態に、順に〈1〉から〈56〉の番号を付与して説明する。同期状態番号とクロックの組み合わせの一覧を表2に示した。

【0066】

【表2】

A	B	C	D	E	F(C-E)
<1>	CK1-CK8	0.0	CLK1-CLK9	0.0	0.0
<2>	CK3-CK10	457.2	CLK3-CLK11	400.0	57.2
<3>	CK5-CK12	914.4	CLK5-CLK13	800.0	114.4
<4>	CK7-CK14	1371.6	CLK7-CLK15	1200.0	171.6
<5>	CK9-CK2	1828.8	CLK9-CLK1	1600.0	228.8
<6>	CK11-CK4	2286.0	CLK11-CLK3	2000.0	286.0
<7>	CK13-CK6	2743.2	CLK13-CLK5	2400.0	343.2
<8>	CK1-CK8	0.0	CLK15-CLK7	2800.0	400.0
<9>	CK3-CK10	457.2	CLK1-CLK9	0.0	457.2
<10>	CK5-CK12	914.4	CLK3-CLK11	400.0	514.4
<11>	CK7-CK14	1371.6	CLK5-CLK13	800.0	571.6
<12>	CK9-CK2	1828.8	CLK7-CLK15	1200.0	628.8
<13>	CK11-CK4	2286.0	CLK9-CLK1	1600.0	686.0
<14>	CK13-CK6	2743.2	CLK11-CLK3	2000.0	743.2
<15>	CK1-CK8	0.0	CLK13-CLK5	2400.0	800.0
<16>	CK3-CK10	457.2	CLK15-CLK7	2800.0	857.2
<17>	CK5-CK12	914.4	CLK1-CLK9	0.0	914.4
<18>	CK7-CK14	1371.6	CLK3-CLK11	400.0	971.6
<19>	CK9-CK2	1828.8	CLK5-CLK13	800.0	1028.8
<20>	CK11-CK4	2286.0	CLK7-CLK15	1200.0	1086.0
<21>	CK13-CK6	2743.2	CLK9-CLK1	1600.0	1143.2
<22>	CK1-CK8	0.0	CLK11-CLK3	2000.0	1200.0
<23>	CK3-CK10	457.2	CLK13-CLK5	2400.0	1257.2
<24>	CK5-CK12	914.4	CLK15-CLK7	2800.0	1314.4
<25>	CK7-CK14	1371.6	CLK1-CLK9	0.0	1371.6
<26>	CK9-CK2	1828.8	CLK3-CLK11	400.0	1428.8
<27>	CK11-CK4	2286.0	CLK5-CLK13	800.0	1486.0
<28>	CK13-CK6	2743.2	CLK7-CLK15	1200.0	1543.2

A	B	C	D	E	F(C-E)
<29>	CK1-CK8	0.0	CLK9-CLK1	1600.0	1600.0
<30>	CK3-CK10	457.2	CLK11-CLK3	2000.0	1657.2
<31>	CK5-CK12	914.4	CLK13-CLK5	2400.0	1714.4
<32>	CK7-CK14	1371.6	CLK15-CLK7	2800.0	1771.6
<33>	CK9-CK2	1828.8	CLK1-CLK9	0.0	1828.8
<34>	CK11-CK4	2286.0	CLK3-CLK11	400.0	1886.0
<35>	CK13-CK6	2743.2	CLK5-CLK13	800.0	1943.2
<36>	CK1-CK8	0.0	CLK7-CLK15	1200.0	2000.0
<37>	CK3-CK10	457.2	CLK9-CLK1	1600.0	2057.2
<38>	CK5-CK12	914.4	CLK11-CLK3	2000.0	2114.4
<39>	CK7-CK14	1371.6	CLK13-CLK5	2400.0	2171.6
<40>	CK9-CK2	1828.8	CLK15-CLK7	2800.0	2228.8
<41>	CK11-CK4	2286.0	CLK1-CLK9	0.0	2286.0
<42>	CK13-CK6	2743.2	CLK3-CLK11	400.0	2343.2
<43>	CK1-CK8	0.0	CLK5-CLK13	800.0	2400.0
<44>	CK3-CK10	457.2	CLK7-CLK15	1200.0	2457.2
<45>	CK5-CK12	914.4	CLK9-CLK1	1600.0	2514.4
<46>	CK7-CK14	1371.6	CLK11-CLK3	2000.0	2571.6
<47>	CK9-CK2	1828.8	CLK13-CLK5	2400.0	2628.8
<48>	CK11-CK4	2286.0	CLK15-CLK7	2800.0	2686.0
<49>	CK13-CK6	2743.2	CLK1-CLK9	0.0	2743.2
<50>	CK1-CK8	0.0	CLK3-CLK11	400.0	2800.0
<51>	CK3-CK10	457.2	CLK5-CLK13	800.0	2857.2
<52>	CK5-CK12	914.4	CLK7-CLK15	1200.0	2914.4
<53>	CK7-CK14	1371.6	CLK9-CLK1	1600.0	2971.6
<54>	CK9-CK2	1828.8	CLK11-CLK3	2000.0	3028.8
<55>	CK11-CK4	2286.0	CLK13-CLK5	2400.0	3086.0
<56>	CK13-CK6	2743.2	CLK15-CLK7	2800.0	3143.2

【0067】

表2において、項目Aは同期状態番号、項目Bは14相の多相クロックCK1～CK14のうち同期させる差動クロックの参照符号、項目Cはその差動クロックのうち先（左）に記述されるクロックの位相である。項目Dは16相の多相クロックCLK1～CLK16のうち同期させるクロックの参照符号、項目Eはその差動クロックのうち先（左）に記述されるクロックとクロックCLK1との位相差、項目FはクロックCLK1の位相である。

基準クロックはクロックCK1とする。

【0068】

次に、各同期状態における16相の多相クロックCLK1～CLK16の位相を調べる。16相の多相クロックCLK1～CLK16は200psの相間隔を持っているのでクロックCLK1を代表としてその位相を調べる。クロックCLK1の位相が特定された場合、クロックCLK2～CLK16の位相は順に200psずつ加えた値である。

14相の多相クロックCK1～CK14は228.6の相間隔を持って位相が固定されている。クロックCK1の位相を基準とすると、表2にも示すように各クロックの位相は、CK1:0ps、CK3:457.2ps、CK5:914.4ps、CK7:1371.6ps、CK9:1828.8ps、CK11:2286ps、CK13:2743.2ps、である。

同期状態〈1〉においては、クロックCK1とクロックCLK1が同期しているのでクロックCLK1の位相は0psである。同期状態〈002〉においては、クロックCK3とクロックCLK3が同期しているので、クロックCK3の位相457.2psからクロックCLK3とクロックCLK1との位相差400psを差し引いて、クロックCLK1の位相は57.2psである。同様に、表2項目Fに示すように同期状態〈3〉～〈56〉までクロックCLK1の位相が求まる。なお、例えば同期状態〈8〉においては、クロックCK1とクロックCLK15が同期しているので、クロックCK1の位相0psからクロックCLK15とクロックCLK1との位相差2800psを差し引いて、-2800psとなる。このように一周期内の数値範囲外の場合は、一周期内の数値範囲（ $0 \leq x < 3200$ ）に換算し、クロックCLK1の位相は400psである。表2

項目Fを参照するとわかるようにクロックCLK1が57psの分解能で位相シフトされている。このことは、16相の多相クロックCLK1～CLK16が相間隔を200psに保持したまま57psの分解能で位相シフトされることを示す。

同期状態を<1>→<2>→…→<55>→<56>→<1>→…の方向で順次切り換えることにより16相のクロックCLK1～CLK16の位相を57psの分解能で遅らせることができる。反対に、同期状態を<1>→<56>→<55>→…→<2>→<1>→…の方向で順次切り換えることにより16相のクロックCLK1～CLK16の位相を57psの分解能で進ませることができる。

【0069】

図3(c)には、同期状態<56>及び<1>から<10>までを描いた。図3(c)の各同期状態において同期しているクロックの符号に枠囲みを付した。

図3に示すように同期状態<1>においては、差動クロックCK1-CK8と差動クロックCLK1-CLK9とが位相同期している。すなわち、クロックCK1とクロックCLK1、クロックCK8とクロックCLK9がそれぞれ位相同期している。

この同期状態<1>において、差動クロックCLK3-CLK11に着目する。差動クロックCLK3-CLK11の位相は、差動クロックCK3-CK10の位相より57ps進んでいる。したがって、差動クロックCK3-CK10と差動クロックCLK3-CLK11を同期させる(同期状態<2>にする)ことにより、同期状態<1>に対して16相の多相クロックCLK1～CLK16の位相を57ps遅らせることができる。

また、同期状態<1>において、差動クロックCLK7-CLK15の位相は、差動クロックCK6-CK13の位相より57ps遅れている。したがって、差動クロックCK6-CK13と差動クロックCLK7-CLK15を同期させる(同期状態<56>にする)ことにより、同期状態<1>に対して16相の多相クロックCLK1～CLK16の位相を57ps進ませることができる。

その他のすべての同期状態においても以上のような位相シフトの原理が成り立

つ。

【 0 0 7 0 】

以上のようなデジタル位相制御方法によれば、16相の多相クロックCLK1～CLK16をその相間隔を200psに保持したまま全体として57psの分解能で、進み方向にも遅れ方向にも無限に（サイクリックに）位相シフト（位相制御）することができる。

【 0 0 7 1 】

〔 4 . PLL10 及び位相制御部 9 の詳細な説明 〕

次にPLL10及び位相制御部9の詳細につき図面を参照して説明する。

まず、PLL10及び7段DLL20につき図4を参照して説明する。図4は、本発明の実施の形態2におけるPLL10及び7段DLL20を示す回路図である。

【 0 0 7 2 】

〔 4 - 1 . PLL10 〕

本実施形態においては、差動クロックCKa-CKbをPLL10により生成し供給している。PLL10は、電圧制御発振器（VCO）15と、これに接続される周波数分周器（DIV）11と、位相周波数比較器（PFD）12と、チャージポンプ（CP）13と、ローパスフィルタ（LPF）14とにより構成される。電圧制御発振器15は、4段の差動遅延バッファa1～a4を接続してなる電圧制御遅延線を含んで構成される。

このPLL10において、位相周波数比較器12は、周波数分周器11により分周されたクロックを受けるとともに、リファレンスクロックref.CLKを受け、これらを位相比較し、UP/DOWN信号をチャージポンプ13に出力する。チャージポンプ13、ローパスフィルタ14により制御電圧V1を生成し、これを各差動バッファa1～a4に帰還させて制御し、電圧制御発振器15に312.5MHzの周波数（周期3200ps）のクロックを補償している。電圧制御発振器15から上述の差動クロックCKa-CKbが取り出され、これをオーバーサンプリング型CDR8内の7段DLL20へ供給する。PLL10を使用することにより安定した周波数のクロックを供給することができる。

【 0 0 7 3 】

次に、位相制御部 9 につき説明する。位相制御部 9 は、7 段 D L L 2 0 と、面 A と、面 B とに分けられ、面 A 及び面 B にはそれぞれセクタ 3 1 と、反転切換回路 3 2 と、8 段 D L L 4 0 とが構成される。

〔 4 - 2 . 7 段 D L L 2 0 〕

図 4 に示すように 7 段 D L L 2 0 は、7 段の特性の等しい差動遅延バッファ b 1 ~ b 7 を接続してなる電圧制御遅延線と、位相比較器 2 1 と、チャージポンプ + ローパスフィルタ 2 2 とを有する。位相比較器 2 1 は、遅延バッファ b 1 へ入力されるクロック C K a と遅延バッファ b 7 から出力されるクロック C K 7 とを位相比較して位相差を検出する。また位相比較器 2 1 は、遅延バッファ b 1 へ入力されるクロック C K b と遅延バッファ b 7 から出力されるクロック C K 1 4 とを位相比較して位相差を検出する。チャージポンプ + ローパスフィルタ 2 2 は、それらの位相差に基づき制御電圧 V 2 を生成し、それを各遅延バッファ b 1 ~ b 7 に印加して遅延バッファ b 1 ~ b 7 からなる遅延線の総合遅延時間がクロックの半周期 (1 6 0 0 p s) になるように帰還制御する。これにより、各遅延バッファ b 1 ~ b 7 の伝搬遅延時間が $1 6 0 0 / 7 (p s) \div 2 2 8 . 6 p s$ に保たれ、1 4 相の多相クロック C K 1 ~ C K 1 4 の相間隔が $1 6 0 0 / 7 (p s) \div 2 2 8 . 6 p s$ に保たれる。

【 0 0 7 4 】

〔 4 - 3 . 面 A 及び面 B の回路 〕

次に、面 A 及び面 B にそれぞれ構成されるセクタ 3 1、反転切換回路 3 2 及び 8 段 D L L 4 0 につき図 5 及び図 6 を参照して説明する。図 5 は、図 2 における面 A に構成されるセクタ 3 1 a、反転切換回路 3 2 a 及び 8 段 D L L 4 0 a を示す回路図であり、図 6 は、図 2 における面 B に構成されるセクタ 3 1 b、反転切換回路 3 2 b 及び 8 段 D L L 4 0 b を示す回路図である。

上述のように面 A の回路と面 B の回路は、異なる制御信号に基づき多相クロック C L K 1 D ~ C L K 1 6 D の位相が多相クロック C L K 1 ~ C L K 1 6 の位相に対し、全体として 1 分解能 5 7 p s 進んだ状態になるように制御される点で異なるが、その回路構成は同一である。

【0075】

〔4-3-1. セレクタ31、反転切換回路32〕

上述のように、セレクタ31a, 31bはそれぞれ制御信号S1-6, S2-6に基づき、差動クロックCK1-CK8、CK2-CK9、CK3-CK10、CK4-CK11、CK5-CK12、CK6-CK13、CK7-CK14の中からいずれか一对の差動クロックを選択し、反転切換回路32a, 32bへ出力する。

反転切換回路32a, 32bはそれぞれ制御信号S1-5, S2-5に基づきセレクタ31によって選択された一对の差動クロックの反転と非反転とを切り換えて8段DLL40a, 40bへ出力する。すなわち、反転の場合はその一对の差動クロックを反転して通過させ、非反転の場合はその一对の差動クロックをそのまま通過させる。

【0076】

〔4-3-2. 8段DLL40〕

図5及び図6に示すように8段DLL40は、遅延バッファ列47と、セレクタ41, 42, 43, 44と、位相比較器45と、チャージポンプ+ローパスフィルタ46とから構成される。

遅延バッファ列47は、8段の特性の等しい差動遅延バッファc1(d1)～c8(d8)を環状に接続してなる。図示するように遅延バッファc8(d8)の図上上段の出力は遅延バッファc1(d1)の図上下段の入力へ、遅延バッファc8(d8)の図上下段の出力は遅延バッファc1(d1)の図上上段の入力へ接続される。

【0077】

セレクタ41は、遅延バッファc1(d1)－c2(d2)間に挿入配置される。セレクタ42, 43, 44もそれぞれ順に、遅延バッファc3(d3)－c4(d4)間、遅延バッファc5(d5)－c6(d6)間、遅延バッファc7(d7)－c8(d8)間に挿入配置される。

セレクタ41は、制御信号S1-1(S2-1)の指示により動作し、反転切換回路32を通過した差動クロックを遅延バッファc2(d2)に入力するとと

もに、遅延バッファ c 1 (d 1) から遅延バッファ c 2 (d 2) へのクロックの伝搬を遮断する。これにより遅延バッファ c 2 (d 2) を初段とし遅延バッファ c 1 (d 1) を最終段とする遅延線が（電氣的に）構成される。

この遅延線の入出力信号を位相比較器 4 5 が位相比較する。図示するように位相比較器 4 5 は制御信号 S 1 - 1 (S 2 - 1), S 1 - 2 (S 2 - 2), S 1 - 3 (S 2 - 3), S 1 - 4 (S 2 - 4) を受けている。位相比較器 4 5 は制御信号 S 1 - 1 (S 2 - 1) に基づきセクタ 4 1 の動作と同時に、初段の遅延バッファ c 2 (d 2) の図上上段側に入力されるクロックと、最終段の遅延バッファ C 1 (d 1) 図上上段側から出力されるクロックとの位相を比較して位相差を検出する。

【 0 0 7 8 】

同様にして、制御信号 S 1 - 2 (S 2 - 2), S 1 - 3 (S 2 - 3), S 1 - 4 (S 2 - 4) に基づき、セクタ 4 2, 4 3, 4 4 はクロックの入力とクロックの伝搬の遮断を行う（但し、セクタ 4 1, 4 2, 4 3, 4 4 のうち同時に動作するのは 1 つだけである。）。それにより遅延バッファ c 4 (d 4) を初段とし遅延バッファ c 3 (d 3) を最終段とする遅延線、遅延バッファ c 6 (d 6) を初段とし遅延バッファ c 5 (d 5) を最終段とする遅延線、又は遅延バッファ c 8 (d 8) を初段とし遅延バッファ c 7 (d 7) を最終段とする遅延線が構成される。それらの遅延線の入出力信号を位相比較器 4 5 が位相比較し位相差を検出する。

【 0 0 7 9 】

チャージポンプ+ローパスフィルタ 4 6 は、位相比較器 4 5 の検出した位相差に基づき制御電圧 V 3 (V 4) を生成し、それを各遅延バッファ c 1 (d 1) ~ c 8 (d 8) に印加して遅延線の総合遅延時間がクロックの半周期 (1 6 0 0 p s) になるように帰還制御する。これにより、各遅延バッファ c 1 (d 1) ~ c 8 (d 8) の伝搬遅延時間が $1\,600 / 8 \text{ (ps)} = 200 \text{ ps}$ に保たれ、1 6 相の多相クロック CLK 1 ~ CLK 1 6 の相間隔が $1\,600 / 7 \text{ (ps)} = 200 \text{ ps}$ に保たれる。

【 0 0 8 0 】

〔5. セレクタ制御〕

次に、セレクタ制御回路 53 による制御につき表 3、表 4 及び表 5 を参照して説明する。

〔5-1. セレクタ制御規約〕

セレクタ制御回路 53 は上述した同期状態〈1〉～〈56〉を表 3、表 4 及び表 5 に示す規約により切り換える。

〔0081〕

〔表 3〕

制御信号 S1-6、S2-6	選択名称 A
CK1-CK8 を選択	1
CK3-CK10 を選択	2
CK5-CK12 を選択	3
CK7-CK14 を選択	4
CK9-CK2 を選択	5
CK11-CK4 を選択	6
CK13-CK6 を選択	7

〔0082〕

表 3 は制御信号 S1-6、S2-6 による選択状態と選択名称 A の対応表である。制御信号 S1-6、S2-6 はそれぞれ 3 ビットのデジタル信号で構成され、差動クロック CK1-CK8、CK3-CK10、CK5-CK12、CK7-CK14、CK9-CK2、CK11-CK4、CK13-CK6 の選択を指示する。表 3 に示すように各選択状態に選択名称 A として 1～7 の名称を付与する。

〔0083〕

【表 4】

制御信号					選択名称B
S1-1	S1-2	S1-3	S1-4	S1-5	
S2-1	S2-2	S2-3	S2-4	S2-5	
ON	OFF	OFF	OFF	非反転	1
OFF	ON	OFF	OFF	非反転	2
OFF	OFF	ON	OFF	非反転	3
OFF	OFF	OFF	ON	非反転	4
ON	OFF	OFF	OFF	反転	5
OFF	ON	OFF	OFF	反転	6
OFF	OFF	ON	OFF	反転	7
OFF	OFF	OFF	ON	反転	8

【0084】

表4は制御信号S1-1～S1-5，S2-1～S2-5による選択状態と選択名称Bの対応表である。制御信号S1-1～S1-5，S2-1～S2-5はそれぞれ1ビットのデジタル信号で構成され、制御信号S1-1～S1-4，S2-1～S2-4はそれぞれセクタ41，42，43，44のON/OFFの選択を、制御信号S1-5，S2-5は反転切換回路32の反転/非反転の選択を指示する。表4に示すように各選択状態に選択名称Bとして1～8の名称を付与する。

【0085】

【表 5】

選択名称A	選択名称B	総合選択名称	選択名称A	選択名称B	総合選択名称
1	1	1	1	5	29
2	2	2	2	6	30
3	3	3	3	7	31
4	4	4	4	8	32
5	5	5	5	1	33
6	6	6	6	2	34
7	7	7	7	3	35
1	8	8	1	4	36
2	1	9	2	5	37
3	2	10	3	6	38
4	3	11	4	7	39
5	4	12	5	8	40
6	5	13	6	1	41
7	6	14	7	2	42
1	7	15	1	3	43
2	8	16	2	4	44
3	1	17	3	5	45
4	2	18	4	6	46
5	3	19	5	7	47
6	4	20	6	8	48
7	5	21	7	1	49
1	6	22	1	2	50
2	7	23	2	3	51
3	8	24	3	4	52
4	1	25	4	5	53
5	2	26	5	6	54
6	3	27	6	7	55
7	4	28	7	8	56

【0 0 8 6】

表 5 は選択名称 A、B の組合せと総合選択名称の対応表である。表 5 に示すように選択名称 A と選択名称 B の各組合せに総合選択名称 1 ～ 5 6 を付与する。この総合選択名称は上述の同期状態 <1> ～ <5 6> に対応させて付けられている。すなわち、総合選択が n の時に同期状態 <n> が確立する（この文において n = 1 ～ 5 6 の整数である。）。

【0 0 8 7】

さらに、制御信号 S 1 - 1 ～ S 1 - 6 による面 A の回路の総合選択が 1 の時は、制御信号 S 2 - 1 ～ S 2 - 6 による面 B の回路の総合選択を 5 6 とし、制御信号 S 1 - 1 ～ S 1 - 6 による面 A の回路の総合選択が n の時は、制御信号 S 2 - 1 ～ S 2 - 6 による面 B の回路の総合選択を (n - 1) とする（この文において

b = 2 ~ 5 6 の整数である。) 。

【 0 0 8 8 】

〔 5 - 2 . セレクタ制御例 〕

次に、表 2 ~ 表 5、図 3 及び図 5 (図 6) を参照してセレクタ制御回路 5 3 による制御につき確認する。なお、図 5 のセレクタ 4 1 a, 4 2 a, 4 3 a, 4 4 a, 及び図 6 のセレクタ 4 1 b, 4 2 b, 4 3 b, 4 4 b の遅延時間は無視できるものとして扱った。

総合選択名称 = 1 の場合は、選択名称 A = 1、選択名称 B = 1 である。表 3 を参照すると選択名称 A = 1 のときは、制御信号 S 1 - 6 (S 2 - 6) によって差動クロック CK 1 - CK 8 を選択するようにセレクタ 3 1 が制御され、セレクタ 3 2 により差動クロック CK 1 - CK 8 が選択される。

表 4 を参照すると選択名称 B = 1 のときは、制御信号 S 1 - 5 (S 2 - 5) によって差動クロック CK 1 - CK 8 を非反転で通過させるように反転切換回路 3 2 が制御され、差動クロック CK 1 - CK 8 がそのまま反転せずに反転切換回路 3 2 を通過する。また、制御信号 S 1 - 1 (S 2 - 1) によりセレクタ 4 1 が ON にされ動作する。制御信号 S 1 - 2, S 1 - 3, S 1 - 4 (S 2 - 2, S 2 - 3, S 2 - 4) によりセレクタ 4 2, 4 3, 4 4 が OFF にされる。この場合セレクタ 4 2, 4 3, 4 4 はクロックの入力とクロックの伝搬の遮断は行わない。

一方、セレクタ 4 1 は動作し、差動クロック CK 1 - CK 8 を遅延バッファ c 2 (d 2) に入力する。この場合、遅延バッファ c 2 (d 2) の図上下段側にクロック CK 1 が入力され、図上上段側にクロック CK 8 が入力される。したがって、クロック CK 1 とクロック CLK 1 とが位相同期し、クロック CK 8 とクロック CLK 9 とが同期する。すなわち、差動クロック CK 1 - CK 8 と差動クロック CLK 1 - CLK 9 とが位相同期する。したがって、表 2 又は図 3 を参照すれば分かるように、総合選択が 1 の時に同期状態 < 1 > が確立する。

位相比較器 4 5 はクロック CK 8 とクロック CLK 9 との位相差を検出する。チャージポンプ + ローパスフィルタ 4 6 は、その位相差に基づき制御電圧 V 3 (V 4) を生成し、各遅延バッファ c 1 (d 1) ~ c 8 (d 8) に印加する。これにより遅延バッファ c 2 (d 2) を初段とし遅延バッファ c 1 (d 1) を最終段

とする遅延線が帰還制御され、各遅延バッファ $c1(d1) \sim c8(d8)$ が均等な伝搬遅延時間に保たれる。

【0089】

総合選択名称 = 2 の場合は、選択名称 A = 2、選択名称 B = 2 である。表 3 を参照すると選択名称 A = 2 のときは、制御信号 $S1-6$ ($S2-6$) によって差動クロック $CK3-CK10$ を選択するようにセレクタ 31 が制御され、セレクタ 32 により差動クロック $CK3-CK10$ が選択される。

表 4 を参照すると選択名称 B = 2 のときは、制御信号 $S1-5$ ($S2-5$) によって差動クロック $CK3-CK10$ を非反転で通過させるように反転切換回路 32 が制御され、差動クロック $CK3-CK10$ がそのまま反転せずに反転切換回路 32 を通過する。また、制御信号 $S1-2$ ($S2-2$) によりセレクタ 42 が ON にされ動作する。制御信号 $S1-1$, $S1-3$, $S1-4$ ($S2-1$, $S2-3$, $S2-4$) によりセレクタ 41, 43, 44 が OFF にされる。この場合セレクタ 41, 43, 44 はクロックの入力とクロックの伝搬の遮断は行わない。

一方、セレクタ 42 は動作し、差動クロック $CK3-CK10$ を遅延バッファ $c4(d4)$ に入力する。この場合、遅延バッファ $c4(d4)$ の図上下段側にクロック $CK3$ が入力され、図上上段側にクロック $CK10$ が入力される。したがって、クロック $CK3$ とクロック $CLK3$ とが位相同期し、クロック $CK10$ とクロック $CLK11$ とが同期する。すなわち、差動クロック $CK3-CK10$ と差動クロック $CLK3-CLK11$ とが位相同期する。したがって、表 2 又は図 3 を参照すれば分かるように、総合選択が 2 の時に同期状態 <2> が確立する。

位相比較器 45 はクロック $CK10$ とクロック $CLK11$ との位相差を検出する。チャージポンプ + ローパスフィルタ 46 は、その位相差に基づき制御電圧 $V3$ ($V4$) を生成し、各遅延バッファ $c1(d1) \sim c8(d8)$ に印加する。これにより遅延バッファ $c4(d4)$ を初段とし遅延バッファ $c3(d3)$ を最終段とする遅延線が帰還制御され、各遅延バッファ $c1(d1) \sim c8(d8)$ が均等な伝搬遅延時間に保たれる。

【0090】

総合選択名称＝3の場合は、選択名称A＝3、選択名称B＝3である。表3を参照すると選択名称A＝3のときは、制御信号S1－6（S2－6）によって差動クロックCK5－CK12を選択するようにセレクタ31が制御され、セレクタ32により差動クロックCK5－CK12が選択される。

表4を参照すると選択名称B＝3のときは、制御信号S1－5、（S2－5）によって差動クロックCK5－CK12を非反転で通過させるように反転切換回路32が制御され、差動クロックCK5－CK12がそのまま反転せずに反転切換回路32を通過する。また、制御信号S1－3（S2－3）によりセレクタ43がONにされ動作する。制御信号S1－1，S1－2，S1－4（S2－1，S1－2，S1－4）によりセレクタ41，42，44がOFFにされる。この場合セレクタ41，42，44はクロックの入力とクロックの伝搬の遮断は行わない。

一方、セレクタ43は動作し、差動クロックCK5－CK12を遅延バッファc6（d6）に入力する。この場合、遅延バッファc6（d6）の図上下段側にクロックCK5が入力され、図上上段側にクロックCK12が入力される。したがって、クロックCK5とクロックCLK5とが位相同期し、クロックCK12とクロックCLK13とが同期する。すなわち、差動クロックCK5－CK12と差動クロックCLK5－CLK13とが位相同期する。したがって、表2又は図3を参照すれば分かるように、総合選択が3の時に同期状態〈3〉が確立する。

位相比較器45はクロックCK12とクロックCLK13との位相差を検出する。チャージポンプ＋ローパスフィルタ46は、その位相差に基づき制御電圧V3（V4）を生成し、各遅延バッファc1（d1）～c8（d8）に印加する。これにより遅延バッファc6（d6）を初段とし遅延バッファc5（d5）を最終段とする遅延線が帰還制御され、各遅延バッファc1（d1）～c8（d8）が均等な伝搬遅延時間に保たれる。

【0091】

総合選択名称＝4の場合は、選択名称A＝4、選択名称B＝4である。表3を

参照すると選択名称A=4のときは、制御信号S1-6(S2-6)によって差動クロックCK7-CK14を選択するようにセレクタ31が制御され、セレクタ32により差動クロックCK7-CK14が選択される。

表4を参照すると選択名称B=4のときは、制御信号S1-5(S2-5)によって差動クロックCK7-CK14を非反転で通過させるように反転切換回路32が制御され、差動クロックCK7-CK14がそのまま反転せずに反転切換回路32を通過する。また、制御信号S1-4(S2-4)によりセレクタ44がONにされ動作する。制御信号S1-1, S1-2, S1-3(S2-1, S1-2, S1-3)によりセレクタ41, 42, 43がOFFにされる。この場合セレクタ41, 42, 43はクロックの入力とクロックの伝搬の遮断は行わない。

一方、セレクタ44は動作し、差動クロックCK7-CK14を遅延バッファc8(d8)に入力する。この場合、遅延バッファc8(d8)の図上下段側にクロックCK7が入力され、図上上段側にクロックCK14が入力される。したがって、クロックCK7とクロックCLK7とが位相同期し、クロックCK14とクロックCLK15とが同期する。すなわち、差動クロックCK7-CK14と差動クロックCLK7-CLK15とが位相同期する。したがって、表2又は図3を参照すれば分かるように、総合選択が4の時に同期状態<4>が確立する。

位相比較器45はクロックCK14とクロックCLK15との位相差を検出する。チャージポンプ+ローパスフィルタ46は、その位相差に基づき制御電圧V3(V4)を生成し、各遅延バッファc1(d1)~c8(d8)に印加する。これにより遅延バッファc8(d8)を初段とし遅延バッファc7(d7)を最終段とする遅延線が帰還制御され、各遅延バッファc1(d1)~c8(d8)が均等な伝搬遅延時間に保たれる。

【0092】

総合選択名称=5の場合は、選択名称A=5、選択名称B=5である。表3を参照すると選択名称A=5のときは、制御信号S1-6(S2-6)によって差動クロックCK9-CK2を選択するようにセレクタ31が制御され、セレクタ

32により差動クロックCK9-CK2が選択される。

表4を参照すると選択名称B=5のときは、制御信号S1-5(S2-5)によって差動クロックCK9-CK2を反転で通過させるように反転切換回路32が制御され、差動クロックCK9-CK2が反転切換回路32により反転され、差動クロックCK2-CK9となって通過する。また、制御信号S1-1(S2-1)によりセクタ41がONにされ動作する。制御信号S1-2, S1-3, S1-4(S2-2, S1-3, S1-4)によりセクタ42, 43, 44がOFFにされる。この場合セクタ42, 43, 44はクロックの入力とクロックの伝搬の遮断は行わない。

一方、セクタ41は動作し、差動クロックCK2-CK9を遅延バッファc2(d2)に inputsする。この場合、遅延バッファc2(d2)の図上下段側にクロックCK2が入力され、図上上段側にクロックCK9が入力される。したがって、クロックCK2とクロックCLK1とが位相同期し、クロックCK9とクロックCLK9とが同期する。すなわち、差動クロックCK9-CK2と差動クロックCLK9-CLK1とが位相同期する。したがって、表2又は図3を参照すれば分かるように、総合選択が5の時に同期状態<5>が確立する。

位相比較器45はクロックCK9とクロックCLK9との位相差を検出する。チャージポンプ+ローパスフィルタ46は、その位相差に基づき制御電圧V3(V4)を生成し、各遅延バッファc1(d1)~c8(d8)に印加する。これにより遅延バッファc2(d2)を初段とし遅延バッファc1(d1)を最終段とする遅延線が帰還制御され、各遅延バッファc1(d1)~c8(d8)が均等な伝搬遅延時間に保たれる。

【0093】

総合選択名称=6の場合は、選択名称A=6、選択名称B=6である。表3を参照すると選択名称A=6のときは、制御信号S1-6(S2-6)によって差動クロックCK11-CK4を選択するようにセクタ31が制御され、セクタ32により差動クロックCK11-CK4が選択される。

表4を参照すると選択名称B=6のときは、制御信号S1-5(S2-5)によって差動クロックCK11-CK4を反転で通過させるように反転切換回路3

2が制御され、差動クロックCK11-CK4が反転切換回路32により反転され、差動クロックCK4-CK11となって通過する。また、制御信号S1-2 (S2-2)によりセクタ42がONにされ動作する。制御信号S1-1, S1-3, S1-4 (S2-1, S1-3, S1-4)によりセクタ41, 43, 44がOFFにされる。この場合セクタ41, 43, 44はクロックの入力とクロックの伝搬の遮断は行わない。

一方、セクタ42は動作し、差動クロックCK4-CK11を遅延バッファc4 (d4)に入力する。この場合、遅延バッファc4 (d4)の図上下段側にクロックCK4が入力され、図上上段側にクロックCK11が入力される。したがって、クロックCK4とクロックCLK3とが位相同期し、クロックCK11とクロックCLK11とが同期する。すなわち、差動クロックCK11-CK4と差動クロックCLK11-CLK3とが位相同期する。したがって、表2又は図3を参照すれば分かるように、総合選択が6の時に同期状態<6>が確立する。

位相比較器45はクロックCK11とクロックCLK11との位相差を検出する。チャージポンプ+ローパスフィルタ46は、その位相差に基づき制御電圧V3 (V4)を生成し、各遅延バッファc1 (d1)~c8 (d8)に印加する。これにより遅延バッファc4 (d4)を初段とし遅延バッファc3 (d3)を最終段とする遅延線が帰還制御され、各遅延バッファc1 (d1)~c8 (d8)が均等な伝搬遅延時間に保たれる。

【0094】

同様にして、表2~表5、図3及び図5 (図6)を参照することにより総合選択7~10及び56によりそれぞれ同期状態<7>~<10>及び<56>が確立することを確認することができる。

また、図3に波形図を描いていないが、表2~表5及び図5 (図6)を参照することにより総合選択11~55によりそれぞれ同期状態<11>~<55>が確立することを確認することができる。

なお、表2において、位相比較器45により位相比較されるクロックをアンダーラインにより示した。図5を参照して回路の接続を確認すれば分かるように、

クロックCLK9、CLK11、CLK13、CLK15は位相比較されるクロックとして固定されている。

【0095】

〔6. オーバーサンプリングと位相比較〕

次に、本発明の実施の形態2のオーバーサンプリングと位相比較につき図7、図8、図9及び表6を参照して説明する。

【0096】

〔6-1. オーバーサンプリング〕

図7は、入力データiと立ち上がりクロックエッジの位置関係を示す模式的波形図である。入力データiはシリアルデータであり、データレートは2.5Gbpsである。したがって、1ビットの長さは400psである。16相の多相クロックCLK1～CLK16及びCLK1D～CLK16Dの周波数は312.5MHzである。したがって、そのそれぞれの相間隔は200psである。そのため、図7(a)又は(b)に示すようにデータの1ビットに対して、立ち上がりクロックエッジが2本ずつ重なるイメージとなる。

図7(a)に示すように16相の多相クロックCLK1～CLK16が入力データiに対し図7(a)に示すような位置である場合、16相の多相クロックCLK1D～CLK16Dは1分解能57ps進んだ位相であるから、図7(b)に示すような位置になる。これら図7(a)と(b)とを重ねたイメージが図7(c)である。

図7(c)には計32相のクロックの立ち上がりエッジが示される。図7(c)に示すようにクロックCLKjとクロックCLKjDとの相間隔は非常に狭まった57psとなる(但し、j=1～16の整数)。

【0097】

本実施形態では、実施の形態1のオーバーサンプリングクロックリカバリ方法を実施するため、これら32相のクロックCLK1～CLK16、CLK1D～CLK16Dすべてを用いない。クロックCLK1D、CLK3D、CLK5D、CLK7D、CLK9D、CLK11D、CLK13D、CLK15Dは用いず、図7(d)に示すクロックCLK2D、CLK4D、CLK6D、CLK8

D, CLK10D, CLK12D, CLK14D, CLK16D及び16相の多相クロックCLK1~CLK16を用いる。したがって、 $8+16=24$ 相のクロックを用いる。すなわち、入力データiの1ビットに対して3相のクロックからなり、配列に粗密を有し、その粗密の周期が入力データiの1ビット長に等しい多相クロックを用いる。

クロックCLK1を図1を参照して説明した実施の形態1のCLKaに、クロックCLK2Dを同じくCLKbに、クロックCLK2を同じくCLKcに、クロックCLK3を同じくCLKdに対応させる。

このように、連続する4相のクロックCLK1-CLK2D・CLK2-CLK3が図1を参照して説明した実施の形態1のCLKa-CLKb・CLKc-CLKdに相当する態様で、同様に連続する各4相のクロックCLK3-CLK4D・CLK4-CLK5, CLK5-CLK6D・CLK6-CLK7, CLK7-CLK8D・CLK8-CLK9, CLK9-CLK10D・CLK10-CLK11, CLK11-CLK12D・CLK12-CLK13, CLK13-CLK14D・CLK14-CLK15, CLK15-CLK16D・CLK16-CLK1がそれぞれ実施の形態1のCLKa-CLKb・CLKc-CLKdに相当する態様で用いて、実施の形態1のオーバーサンプリングクロックリカバリ方法を実施する。

【0098】

次に、位相比較部50につき図8及び図9を参照して説明する。図8は位相比較部50の内部構成を示すブロック図であり、図9は位相比較器内部の回路を示す回路図である。

図8に示すように位相比較部50は、入力ラッチ回路501と、8つの位相比較器e1~e8とからなる。入力ラッチ回路501に24相のクロックが入力する。入力ラッチ回路501はそれら24相のクロックにより入力データiをサンプリングし、4つずつのサンプルデータをパラレルに配置された各位相比較器e1~e8それぞれを出力する。

図9を参照する。クロックCLK1によりサンプリングしたサンプルデータsp1、クロックCLK2Dによりサンプリングしたサンプルデータsp2D、ク

ロックCLK2によりサンプリングしたサンプルデータsp2、クロックCLK3よりサンプリングしたサンプルデータsp3が位相比較器e1に入力する。

このように、連続する4相のクロックCLK1-CLK2D・CLK2-CLK3によりサンプリングしたサンプルデータsp1-sp2D・sp2-sp3が位相比較器e1に入力する。

同様に、同様に連続する各4相のクロックCLK3-CLK4D・CLK4-CLK5/CLK5-CLK6D・CLK6-CLK7/CLK7-CLK8D・CLK8-CLK9/CLK9-CLK10D・CLK10-CLK11/CLK11-CLK12D・CLK12-CLK13/CLK13-CLK14D・CLK14-CLK15/CLK15-CLK16D・CLK16-CLK1によりサンプリングしたサンプルデータsp3-sp4D・sp4-sp5/sp5-sp6D・sp6-sp7/sp7-sp8D・sp8-sp9/sp9-sp10D・sp10-sp11/sp11-sp12D・sp12-sp13/sp13-sp14D・sp14-sp15/sp15-sp16D・sp16-sp1がそれぞれ位相比較器e2～e8に入力する。

【0099】

〔6-2. 位相比較の論理〕

各位相比較器e1～e8は、それぞれこれら4つのサンプルデータを入力とし、UP信号UP1～8/同期信号SY1～8/DOWN信号DN1～8を出力とする。

【0100】

位相比較器e1～e8は同一の構成であるため、位相比較器e1を代表として説明する。

図9に示すように、位相比較器e1の回路構成は、5つのEx-ORゲートe1-x1, e1-y1, e1-z1, e1-x2, e1-y2と、それらの出力を受ける4つのANDゲートe1-m1, e1-n1, e1-m2, e1-n2と、さらにそれらの出力を受ける3つのANDゲートe1-p, e1-q, e1-rとからなり、その接続は図9に開示するとおりとなる。最終段のANDゲートe1-pがUP信号UP1を、ANDゲートe1-qが同期信号SY1を、A

NDゲート e1-r がDOWN信号 DN1 をそれぞれ出力する。

【0101】

【表6】

a)

	入力				出力		
	sp1	sp2D	sp2	sp3	UP1	SY1	DN1
a1	0	1	1	1	1	0	0
a2	0	0	1	1	0	1	0
a3	0	0	0	1	0	0	1
a4	1	1	1	1	0	0	0
a5	1	0	1	1	0	0	0
a6	1	1	0	1	0	0	0
a7	1	0	0	1	0	0	0
a8	1	0	1	0	0	0	0

b)

	入力				出力		
	sp1	sp2D	sp2	sp3	UP1	SY1	DN1
b1	1	0	0	0	1	0	0
b2	1	1	0	0	0	1	0
b3	1	1	1	0	0	0	1
b4	0	0	0	0	0	0	0
b5	0	1	0	0	0	0	0
b6	0	0	1	0	0	0	0
b7	0	1	1	0	0	0	0
b8	0	1	0	1	0	0	0

【0102】

実施の形態1のオーバーサンプリングクロックリカバリ方法を実施するには、位相比較器 e1 が表6に示す真理表に従った論理演算を行えばよい。

表6の真理表に対応する論理式は以下の通りである。

【0103】

【式1】

$$UP1 = \overline{sp1} \cdot sp2D \cdot sp2 \cdot sp3 \\ + sp1 \cdot \overline{sp2D} \cdot \overline{sp2} \cdot \overline{sp3}$$

$$SY1 = \overline{sp1} \cdot \overline{sp2D} \cdot sp2 \cdot sp3 \\ + sp1 \cdot sp2D \cdot \overline{sp2} \cdot \overline{sp3}$$

$$DN1 = \overline{sp1} \cdot \overline{sp2D} \cdot \overline{sp2} \cdot sp3 \\ + sp1 \cdot sp2D \cdot sp2 \cdot \overline{sp3}$$

【0104】

一方、図9に示す位相比較回路e1の回路構成から以下に示すように論理式が導かれる。

【0105】

【式2】

$$UP1 = (\overline{sp1} \cdot sp2D + sp1 \cdot \overline{sp2D}) \cdot (\overline{sp1} \cdot sp3 + sp1 \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp2 + sp1 \cdot \overline{sp2})$$

$$= (\overline{sp1} \cdot sp2D + sp1 \cdot \overline{sp2D}) \cdot (\overline{sp1} \cdot sp3 + sp1 \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp2 + sp1 \cdot \overline{sp2})$$

$$\begin{aligned} &= \overline{sp1} \cdot sp2D \cdot \overline{sp1} \cdot sp3 \cdot \overline{sp1} \cdot sp2 \\ &+ \overline{sp1} \cdot sp2D \cdot \overline{sp1} \cdot sp3 \cdot sp1 \cdot \overline{sp2} \\ &+ \overline{sp1} \cdot sp2D \cdot sp1 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp2 \\ &+ \overline{sp1} \cdot sp2D \cdot sp1 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp2} \\ &+ sp1 \cdot \overline{sp2D} \cdot \overline{sp1} \cdot sp3 \cdot \overline{sp1} \cdot sp2 \\ &+ sp1 \cdot \overline{sp2D} \cdot \overline{sp1} \cdot sp3 \cdot sp1 \cdot \overline{sp2} \\ &+ sp1 \cdot \overline{sp2D} \cdot sp1 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp2 \\ &+ sp1 \cdot \overline{sp2D} \cdot sp1 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp2} \end{aligned}$$

$$\begin{aligned} &= \overline{sp1} \cdot sp2D \cdot sp3 \cdot sp2 \\ &+ 0 + 0 + 0 + 0 + 0 + 0 \\ &+ sp1 \cdot \overline{sp2D} \cdot \overline{sp3} \cdot \overline{sp2} \end{aligned}$$

$$\begin{aligned} \therefore UP1 &= \overline{sp1} \cdot sp2D \cdot sp2 \cdot sp3 \\ &+ sp1 \cdot \overline{sp2D} \cdot \overline{sp2} \cdot \overline{sp3} \end{aligned}$$

【0106】

【式3】

$$SY1 = (\overline{sp2D} \cdot sp3 + sp2D \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp3 + sp1 \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp3 + sp1 \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp2 + sp1 \cdot \overline{sp2})$$

$$= (\overline{sp2D} \cdot sp3 + sp2D \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp3 + sp1 \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp2 + sp1 \cdot \overline{sp2})$$

$$\begin{aligned} &= \overline{sp2D} \cdot sp3 \cdot \overline{sp1} \cdot sp3 \cdot \overline{sp1} \cdot sp2 \\ &+ \overline{sp2D} \cdot sp3 \cdot \overline{sp1} \cdot sp3 \cdot sp1 \cdot \overline{sp2} \\ &+ \overline{sp2D} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp2 \\ &+ \overline{sp2D} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp2} \\ &+ sp2D \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \cdot \overline{sp1} \cdot sp2 \\ &+ sp2D \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \cdot sp1 \cdot \overline{sp2} \\ &+ sp2D \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp2 \\ &+ sp2D \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp2} \end{aligned}$$

$$\begin{aligned} &= \overline{sp2D} \cdot sp3 \cdot \overline{sp1} \cdot sp2 \\ &+ 0 + 0 + 0 + 0 + 0 + 0 \\ &+ sp2D \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp2} \end{aligned}$$

$$\begin{aligned} \therefore SY1 &= \overline{sp1} \cdot \overline{sp2D} \cdot sp2 \cdot sp3 \\ &+ sp1 \cdot sp2D \cdot \overline{sp2} \cdot \overline{sp3} \end{aligned}$$

【0107】

【式 4】

$$DN1 = (\overline{sp2D} \cdot sp3 + sp2D \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp3 + sp1 \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp3 + sp1 \cdot \overline{sp3}) \cdot (\overline{sp2} \cdot sp3 + sp2 \cdot \overline{sp3})$$

$$= (\overline{sp2D} \cdot sp3 + sp2D \cdot \overline{sp3}) \cdot (\overline{sp1} \cdot sp3 + sp1 \cdot \overline{sp3}) \cdot (\overline{sp2} \cdot sp3 + sp2 \cdot \overline{sp3})$$

$$\begin{aligned} &= \overline{sp2D} \cdot sp3 \cdot \overline{sp1} \cdot sp3 \cdot \overline{sp2} \cdot sp3 \\ &+ \overline{sp2D} \cdot sp3 \cdot \overline{sp1} \cdot sp3 \cdot sp2 \cdot \overline{sp3} \\ &+ \overline{sp2D} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \cdot \overline{sp2} \cdot sp3 \\ &+ \overline{sp2D} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \cdot sp2 \cdot \overline{sp3} \\ &+ sp2D \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \cdot \overline{sp2} \cdot sp3 \\ &+ sp2D \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \cdot sp2 \cdot \overline{sp3} \\ &+ sp2D \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \cdot \overline{sp2} \cdot sp3 \\ &+ sp2D \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \cdot sp2 \cdot \overline{sp3} \end{aligned}$$

$$\begin{aligned} &= \overline{sp2D} \cdot sp3 \cdot \overline{sp1} \cdot \overline{sp2} \\ &+ 0 + 0 + 0 + 0 + 0 + 0 \\ &+ sp2D \cdot \overline{sp3} \cdot sp1 \cdot sp2 \end{aligned}$$

$$\therefore DN1 = \overline{sp1} \cdot \overline{sp2D} \cdot \overline{sp2} \cdot sp3 + sp1 \cdot sp2D \cdot sp2 \cdot \overline{sp3}$$

【0108】

したがって、図9に示す位相比較器e1～e8により、実施の形態1のオーバーサンプリングクロックリカバリ方法に基づいたUP信号UP1～8／同期信号SY1～8／DOWN信号DN1～8を出力することができ、入力データiに対するクロックの遅れ・進みを判定することができる。

この8つのUP信号UP1／同期信号SY1／DOWN信号DN1～UP信号UP8／同期信号SY8／DOWN信号DN8は、上述のように多数決回路51

により多数決をとられ、UP信号UP20又はDOWN信号DN20として出力される。続いて上述のように累積カウンタ52、セクタ制御回路53による処理が成される。

【0109】

〔7. CDR8の動作例〕

次に、以上説明した本発明の実施の形態2のオーバーサンプリングクロックデュータリカバリ回路(CDR8)の動作例につき表7、表8を参照して説明する。

【0110】

【表7】

サンプリング番号	1								2								3								4							
1 位相比較器	e1	e2	e3	e4	e5	e6	e7	e8	e1	e2	e3	e4	e5	e6	e7	e8	e1	e2	e3	e4	e5	e6	e7	e8	e1	e2	e3	e4	e5	e6	e7	e8
2 位相比較器出力	同	UP	UP	無	無	無	無	無	DN	無	無	無	無	無	UP	無	UP	無	UP	同	DN	無	同	無	UP	無	UP	無	無	UP	無	UP
3 多数決回路51の出力	UP								UP								同期								UP							
4 累積値	1								2								2								3							
5 S1による総合選択	3								3								3								3							
6 S2による総合選択	2								2								2								2							

【0111】

サンプリング番号	5								6								7								8							
1 位相比較器	e1	e2	e3	e4	e5	e6	e7	e8	e1	e2	e3	e4	e5	e6	e7	e8	e1	e2	e3	e4	e5	e6	e7	e8	e1	e2	e3	e4	e5	e6	e7	e8
2 位相比較器出力	同	UP	UP	無	無	無	無	無	無	UP	同	UP	無	無	UP	無	同	無	UP	同	DN	無	DN	DN	無	UP	同	DN	無	UP	無	UP
3 多数決回路51の出力	UP								UP								DN								UP							
4 累積値	4→0(UP)								1								0								1							
5 S1による総合選択	2								2								2								2							
6 S2による総合選択	1								1								1								1							

表7は、連続する4回のサンプリングにおける処理の一例を示したもので、各回にサンプリング番号を付した。表7において、縦項目1は位相比較器の参照符号であり、縦項目2は各位相比較器の出力の種類であり、縦項目3は多数決回路51の出力の種類であり、項目4は累積カウンタ52が保持する累積値であり、縦項目5は制御信号S1-1～S1-6による面Aの回路の総合選択の総合選択名称であり、縦項目6は制御信号S2-1～S2-6による面Bの回路の総合選択の総合選択名称である。

項目2に「UP」と記載されているのは、該当する位相比較器の出力が「UP信号=1, 同期信号=0, DOWN信号=0」であることを、「同」と記載されているのは、該当する位相比較器の出力が「UP信号=0, 同期信号=1, DOWN信号=0」であることを、「DN」と記載されているのは、該当する位相比較器の出力が「UP信号=0, 同期信号=0, DOWN信号=1」であることを、「無」と記載されているのは、該当する位相比較器の出力が「UP信号=0, 同期信号=0, DOWN信号=0」であることを示す。

項目3に「UP」と記載されているのは、該当するサンプリング番号において多数決回路51の出力が「UP信号UP20=1, DOWN信号DN=0」であることを、「同期」と記載されているのは、該当するサンプリング番号において多数決回路51の出力が「UP信号UP20=0, DOWN信号DN=0」であることを、「DN」と記載されているのは、該当するサンプリング番号において多数決回路51の出力が「UP信号UP20=0, DOWN信号DN=1」であることを示す。

【0112】

表7に示すようにサンプリング番号1の処理が行われた時点で、累積値は1、面Aの回路の総合選択は3、面Bの回路の総合選択は2とされている。この場合、面Aにおける同期状態は<3>、面Bにおける同期状態は<2>である。

サンプリング番号2においては、位相比較器e1～e8の出力として「UP」が3つ、「同」が0、「DN」が1つ、「無」が4つであるため、多数決回路51は「UP信号UP20=1, DOWN信号DN=0」を出力する。これを受け累積カウンタ52は累積値を1から2へとカウントアップする。

次に、サンプリング番号3においては、位相比較器e1～e8の出力として「UP」が1つ、「同」が3つ、「DN」が1つ、「無」が3つであるため、多数決回路51は「UP信号UP20=0, DOWN信号DN=0」を出力する。累積カウンタ52は累積値2を維持する。

次に、サンプリング番号4においては、位相比較器e1～e8の出力として「UP」が3つ、「同」が0、「DN」が1つ、「無」が4つであるため、多数決回路51は「UP信号UP20=1, DOWN信号DN=0」を出力する。これを受け累積カウンタ52は累積値を2から3へとカウントアップする。

次に、サンプリング番号5においては、位相比較器e1～e8の出力として「UP」が2つ、「同」が1つ、「DN」が1つ、「無」が4つであるため、多数決回路51は「UP信号UP20=1, DOWN信号DN=0」を出力する。これを受け累積カウンタ52は累積値を3から4へとカウントアップし0にリセットするとともに、UP信号UP30をセクタ制御回路53へ出力する。

セクタ制御回路53は、面Aの回路の総合選択を3から2、面Bの回路の総合選択を2から1として、該当する制御信号S1-1～S1-6, S2-1～S2-6をセクタ31、反転切換回路32及び8段DLLへ出力する。これにより面Aにおける同期状態が<3>から<2>へ、面Bにおける同期状態が<2>から<1>へ切り換わり、計32相のクロックCLK1～CLK16, CLK1D～CLK16Dの位相が全体として1分解能57ps進み方向にシフトされる。

【0113】

同様にして表7に示されるようにサンプリング番号6～8まで処理が成される。位相比較器e1～e8の出力を省略してサンプリング番号1～25までの処理を表8に示す。表8において縦項目3～6は表7の縦項目3～6に対応するものである。

【0114】

【表8】

サンプリング番号	1	2	3	4	5	6	7	8	9	10	11	12
3 多数決回路51の出力	UP	UP	同期	UP	UP	UP	DN	UP	UP	同期	UP	UP
4 累積値	1	2	2	3	4→0(UP)	1	0	1	2	2	3	4→0(UP)
5 S1による総合選択	3	3	3	3	2	2	2	2	2	2	2	1
6 S2による総合選択	2	2	2	2	1	1	1	1	1	1	1	56

サンプリング番号	13	14	15	16	17	18	19	20	21	22	23	24	25
3 多数決回路51の出力	同期	DN	DN	UP	同期	DN	DN	DN	同期	UP	DN	UP	DN
4 累積値	0	-1	-2	-1	-1	-2	-3	-4→0(DN)	0	1	0	1	0
5 S1による総合選択	1	1	1	1	1	1	1	2	2	2	2	2	2
6 S2による総合選択	56	56	56	56	56	56	56	1	1	1	1	1	1

【0115】

表8に示すように、サンプリング番号6～11にかけて累積値は1, 0, 1, 2, 2, 3と変動し、サンプリング番号12において4までカウントアップされて0にリセットされ、UP信号UP30がセクタ制御回路53へ出力され、面Aの回路の総合選択が2から1、面Bの回路の総合選択が1から56とされる。これにより面Aにおける同期状態が<2>から<1>へ、面Bにおける同期状態が<1>から<56>へ切り換わり、計32相のクロックCLK1～CLK16, CLK1D～CLK16Dの位相が全体として1分解能57ps進み方向にシフトされる。

さらに、サンプリング番号13～19にかけて累積値は0, -1, -2, -1, -1, -2, -3と変動し、サンプリング番号20において-4までカウントダウンされて0にリセットされ、UP信号UP30がセクタ制御回路53へ出力され、面Aの回路の総合選択が1から2、面Bの回路の総合選択が56から1とされる。これにより面Aにおける同期状態が<2>から<1>へ、面Bにおける同期状態が<1>から<56>へ切り換わり、計32相のクロックCLK1～CLK16, CLK1D～CLK16Dの位相が全体として1分解能57ps遅れ方向にシフトされる。同期の場合にS1, S2の値を変えず、累積値を「0」に戻し、状態をリセットするなど、処理の仕方は他にもあり、これに限定されるものではない。

【0116】

〔8. CDR8の効果〕

以上説明した本発明の実施の形態2のオーバーサンプリングクロックデータリカバリ回路(CDR8)によれば、57psの相間隔の隣接する2相のクロックCLKsDとクロックCLKs(ここでsは2～16の偶数)のクロックエッジにより入力データの変化点を挟み込む態様でクロックの位相の遅れ・進みを検出する。そのため、8倍のオーバーサンプリングクロックリカバリと同等の追従特性を実現することができ、それにより入力データiの変化速度によらず優れた追従性を有するクロックリカバリを実現することができる。

また、8倍のオーバーサンプリングクロックリカバリがデータ1ビットに対して8本のクロックエッジを用いるのに対し、データ1ビットに対し3本のクロッ

クエッジを用いて、8 倍のオーバーサンプリングクロックリカバリと同等の追従特性を実現することができる。

さらに、伝搬遅延時間が 57 p s のバッファ又はインバータを現在の CMOS プロセスで実現することは不可能であるため、従来の CDR の回路構成では 57 p s という狭い相間隔を有する多相クロックを生成することは不可能であったが、本実施形態によれば、57 p s という狭い相間隔を有する多相クロック CLK1 ~ CLK16, CLK1D ~ CLK16D を、伝搬遅延時間が 200 p s のバッファ c1 ~ c8, d1 ~ d8 を用いて生成することができる。

また、上述のように多相クロックの相間隔を精度良く保持したまま全体として高分解能かつサイクリックにシフトし、波形の歪み等の劣化を生じさせることなく DLL により等間隔で良質なクロックを生成することができる。

【0117】

実施の形態 2 のオーバーサンプリングクロックデータリカバリ回路は、本出願発明の一実施形態に過ぎない。例えば、バッファ (a1 ~ a4, b1 ~ b7, c1 ~ c8, d1 ~ d8) を単相構成としても良い。

【0118】

実施の形態 3

次に、本発明の実施の形態 3 のオーバーサンプリングクロックリカバリ方法につき、図 10 を参照して説明する。図 10 は本発明の実施の形態 3 のオーバーサンプリングクロックリカバリ方法を説明するための模式的波形図である。

【0119】

本実施形態のオーバーサンプリングクロックリカバリ方法は、実施の形態 1 のオーバーサンプリングクロックリカバリ方法とは異なり、入力データ i の 1 ビットに対し 4 本の立ち上がりクロックエッジが対応する 6 相のクロック CLK e, CLK f, CLK g, CLK h, CLK i, CLK j によりサンプリングを行い、入力データ i に対するクロックのおくれ・進みを検出する。

クロック CLK e とクロック CLK i との間隔は入力データ i の 1 ビットの長さに等しい。クロック CLK e、クロック CLK g、クロック CLK i はほぼ等間隔に配列する。同じくクロック CLK f、クロック CLK h、クロック CLK

j はほぼ等間隔に配列する。クロックCLK e とクロックCLK f との間隔、クロックCLK g とクロックCLK h の間隔及びクロックCLK i とクロックCLK j との間隔は、クロックCLK f とクロックCLK g との間隔及びクロックCLK h とクロックCLK i との間隔より狭くする。したがって、言い換えると、図示するように比較的狭間隔の2相クロックCLK e、CLK f、クロックCLK g、CLK h 及びクロックCLK i、CLK j を1組として、それら3組の2相クロックをほぼ等間隔、かつ、比較的広間隔に配列する。

クロックCLK e とクロックCLK f との間隔、クロックCLK g とクロックCLK h の間隔及びクロックCLK i とクロックCLK j との間隔は、ビット長の4分の1よりも狭される。ここでは、ビット長の8分の1程度にされているとする。実際のデータの取り込みに用いるクロックはクロックCLK e 及びクロックCLK i 又はクロックCLK f 及びクロックCLK j である。

【0120】

以上のような間隔で6相のクロックCLK e ~ CLK j を配置した上で入力データ i のサンプリングを行う。そのサンプルデータに基づきクロックのデータに対する遅れ・進みを検出（判定）し、クロックがデータに追従するように制御することによりクロックリカバリを行う。本方法においては、クロックCLK g の立ち上がりエッジとクロックCLK h の立ち上がりエッジとの間に入力データ i の変化点が位置するようにクロックCLK e ~ CLK j を制御すれば、自ずとクロックCLK e、クロックCLK f、クロックCLK i 及びクロックCLK j の立ち上がりエッジが入力データ i のビットの中央付近に同期する。クロックCLK e ~ CLK j の位相を制御する際には、クロックCLK e ~ CLK j の位相をその相間隔を保持したままクロックCLK g とクロックCLK h との間隔に等しい長さを1分解能（1単位）としてシフトする。

【0121】

図10（a1）、（a2）に示すように、クロックCLK e ~ CLK j によって抽出したサンプルデータが〈001111〉、〈110000〉である場合には、クロックCLK e ~ CLK j の位相を「進ませるべきである（UP）」と判定する。この場合、入力データ i の変化点がクロックCLK f とクロックCLK

gの間にあり、入力データiに対しクロックCLK_e～CLK_jが遅れているためである。その判定に基づきクロックCLK_e～CLK_jの位相を1分解能進ませる。

【0122】

図10(b1), (b2)に示すように、クロックCLK_e～CLK_jによって抽出したサンプルデータが<000111>, <111000>である場合には、クロックCLK_e～CLK_jと入力データiの位相は「同期している(同期)」と判定する。この場合、入力データiの変化点がクロックCLK_gとクロックCLK_hの間にあり、クロックCLK_e、クロックCLK_f、クロックCLK_i及びクロックCLK_jの立ち上がりエッジが入力データiのビットの中央に同期しているためである。

【0123】

図10(c1), (c2)に示すように、クロックCLK_e～CLK_jによって抽出したサンプルデータが<000011>, <111100>である場合には、クロックCLK_e～CLK_jの位相を「遅らせるべきである(DOWN)」と判定する。この場合、入力データiの変化点がクロックCLK_hとクロックCLK_iの間にあり、入力データiに対しクロックCLK_e～CLK_jが進んでいるためである。その判定に基づきクロックCLK_e～CLK_jの位相を1分解能遅らせる。

【0124】

図10(d1), (d2)に示すように、クロックCLK_e～CLK_jによって抽出したサンプルデータが<100001>, <011110>である場合には、クロックCLK_e～CLK_jの位相を「進ませるべきである(UP)」と判定する。この場合、入力データiの変化点がクロックCLK_eとクロックCLK_fの間、及びクロックCLK_iとクロックCLK_jの間にある。すなわち、データの取り込みに用いるクロックCLK_e及びクロックCLK_i又はクロックCLK_f及びクロックCLK_jがビット端部の値の不安定な位置にあり、クロックの位相をシフトしてこの最も不都合な状態を早急に回避する必要があるからである。

その判定に基づきクロックCLK_e～CLK_jの位相を1分解能進ませる。ここでは、「進ませるべきである（UP）」と判定しクロックCLK_e～CLK_jの位相を1分解能進ませることとしたが、同期状態を回復するための位相シフト量は進み方向でも遅れ方向でも変わらないので、「遅らせるべきである（DOWN）」と判定しクロックCLK_e～CLK_jの位相を1分解能遅らせることとしてもよい。いずれにしてもUPとするか、DOWNとするか、予め設定しておくことが好ましい。

【0125】

以上のようにクロックCLK_e～CLK_jを制御することにより、実際のデータの取り込みに用いるクロックCLK_e及びクロックCLK_i又はクロックCLK_f及びクロックCLK_jを入力データiの値の安定したビットの中央付近に同期させることができる。

本方法によれば、8倍のオーバーサンプリングのように入力データの1ビット内に8本ものクロックエッジを通す必要はなく4本でよい。それにもかかわらず、クロックCLK_gとクロックCLK_hとの間隔は比較的狭くされているので、高い追従性を実現することができる。クロックCLK_gとクロックCLK_hとの間隔を1ビットの長さの8分の1に狭めれば、8倍のオーバーサンプリングと同等の追従性を得ることができる。同様に16分の1に狭めれば、16倍のオーバーサンプリングと同等の追従性を得ることができる。8倍、16倍等の高倍率オーバーサンプリングの追従性が1ビット当たり4相のクロックで得られる。そのような高倍率のオーバーサンプリングの追従性を実現しつつも、位相制御するクロックの相数が1ビット当たり4相と少ないため、比較的容易にクロックを位相制御することができる。

さらに、本実施形態の方法は、実施の形態1の方法とは異なり、図10（d1）及び（d2）に示したようなデータに対する遅れとも進みともとれない中間的な不都合な状態を検出することができ、かかる不都合な状態を迅速に回避することができる。例えば、この図10（d1）及び（d2）示す検出結果を他の図10（a1）～（c2）に示す検出結果に対して偏重した重み付け処理を行うことにより、かかる不都合な状態を迅速に回避することができる。

【 0 1 2 6 】

実施の形態 4

次に、本発明の実施の形態 4 のオーバーサンプリングクロックデータリカバリ回路（CDR）につき、図 2、図 7、図 1 1、図 1 2 及び表 9 を参照して説明する。

【 0 1 2 7 】

実施の形態 3 においては、どのような回路構成により実現するのかについて説明しなかった。本実施形態のオーバーサンプリングクロックデータリカバリ回路（CDR）は実施の形態 3 のオーバーサンプリングクロックリカバリ方法を実施する回路の一実施形態である。また、本実施形態は上述の実施の形態 2 と同様の条件下での実施形態として説明する。

【 0 1 2 8 】

本実施形態の CDR は、実施の形態 2 の CDR と同様に図 2 に示す位相制御部 9 と、多数決回路 5 1 と、累積カウンタ 5 2 と、セレクタ制御回路 5 3 とからなり、外部の PLL 1 0 からクロックの供給を受ける。また、位相制御部 9 は、7 段 D L L 2 0 と、セレクタ 3 1 と、反転切換回路 3 2 と、8 段 D L L 4 0 とからなる。セレクタ 3 1、反転切換回路 3 2 及び 8 段 D L L 4 0 は面 A、面 B に同一の回路を構成した二面構成になっており、面 A にはセレクタ 3 1 a、反転切換回路 3 2 a、8 段 D L L 4 0 a が構成され、面 B にはセレクタ 3 1 b、反転切換回路 3 2 b、8 段 D L L 4 0 b が構成される。

しかし、本実施形態の CDR は実施の形態 2 の CDR とは位相比較部が異なり、図 1 1 に示す位相比較部 5 4 を用いる。

また、本実施形態における全体的処理の流れ、デジタル位相制御、セレクタ制御規約は実施の形態 2 におけるそれらと同様であるが、本実施形態は実施の形態 2 とは異なり、3 2 相のクロック CLK 1 ~ CLK 1 6、CLK 1 D ~ CLK 1 6 D のすべてを用いてサンプリングする。また、本実施形態は実施の形態 2 とは位相比較の論理が異なり、実施の形態 3 のオーバーサンプリングクロックリカバリ方法に基づく論理演算が実行される。

【 0 1 2 9 】

図7(c)等に示すクロックCLK1Dを図10を参照して説明した実施の形態3のCLK_eに、同じくクロックCLK1をCLK_fに、同じくクロックCLK2DをCLK_gに、同じくクロックCLK2をCLK_hに、同じくクロックCLK3DをCLK_iに、同じくクロックCLK3をCLK_jに対応させる。

このように、連続する6相のクロックCLK1D・CLK1-CLK2D・CLK2-CLK3D・CLK3が図10を参照して説明した実施の形態3のCLK_e・CLK_f-CLK_g・CLK_h-CLK_i・CLK_jに相当する態様で、同様に連続する各6相のクロッククロックCLK3D・CLK3-CLK4D・CLK4-CLK5D・CLK5/CLK5D・CLK5-CLK6D・CLK6-CLK7D・CLK7/CLK7D・CLK7-CLK8D・CLK8-CLK9D・CLK9/CLK9D・CLK9-CLK10D・CLK10-CLK11D・CLK11/CLK11D・CLK11-CLK12D・CLK12-CLK13D・CLK13/CLK13D・CLK13-CLK14D・CLK14-CLK15D・CLK15/CLK15D・CLK15-CLK16D・CLK16-CLK1D・CLK1がそれぞれ実施の形態3のCLK_e・CLK_f-CLK_g・CLK_h-CLK_i・CLK_jに相当する態様で用いて、実施の形態3のオーバーサンプリングクロックリカバリ方法を実施する。すなわち、入力データの1ビットに対して4相のクロックからなり、配列に粗密を有し、その粗密の周期が入力データiの1ビット長の2分の1に等しい多相クロックを用いる。

【0130】

〔位相比較部54〕

図11は位相比較部54の内部構成を示すブロック図である。図11に示すように位相比較部54は、入力ラッチ回路541と、8つの位相比較器f1～f8とからなる。入力ラッチ回路541に32相のクロックCLK1～CLK16, CLK1D～CLK16Dが入力する。入力ラッチ回路541はそれら32相のクロックにより入力データiをサンプリングし、6つずつのサンプルデータをパレルの配置された各位相比較器f1～f8それぞれ出力する。

図12は位相比較器内部の回路を示す回路図である。図12に示すようにクロ

ックCLK1Dによりサンプリングしたサンプルデータsp1D、クロックCLK1によりサンプリングしたサンプルデータsp1、クロックCLK2Dによりサンプリングしたサンプルデータsp2D、クロックCLK2によりサンプリングしたサンプルデータsp2、クロックCLK3Dよりサンプリングしたサンプルデータsp3Dが、クロックCLK3よりサンプリングしたサンプルデータsp3が位相比較器f1に入力する。

このように、連続する6相のクロックCLK1D・CLK1-CLK2D・CLK2-CLK3D・CLK3によりサンプリングしたサンプルデータsp1D・sp1-sp2D・sp2-sp3D・sp3が位相比較器f1に入力する。

同様に、同様に連続する各6相のクロックCLK3D・CLK3-CLK4D・CLK4-CLK5D・CLK5/CLK5D・CLK5-CLK6D・CLK6-CLK7D・CLK7/CLK7D・CLK7-CLK8D・CLK8-CLK9D・CLK9/CLK9D・CLK9-CLK10D・CLK10-CLK11D・CLK11/CLK11D・CLK11-CLK12D・CLK12-CLK13D・CLK13/CLK13D・CLK13-CLK14D・CLK14-CLK15D・CLK15/CLK15D・CLK15-CLK16D・CLK16-CLK1D・CLK1によりサンプリングしたサンプリングしたサンプルデータsp3D・sp3-sp4D・sp4-sp5D・sp5/sp5D・sp5-sp6D・sp6-sp7D・sp7/sp7D・sp7-sp8D・sp8-sp9D・sp9/sp9D・sp9-sp10D・sp10-sp11D・sp11/sp11D・sp11-sp12D・sp12-sp13D・sp13/sp13D・sp13-sp14D・sp14-sp15D・sp15/sp15D・sp15-sp16D・sp16-sp1D・sp1がそれぞれ位相比較器f2～f8に入力する。

【0131】

〔位相比較の論理〕

各位相比較器f1～f8は、それぞれこれら4つのサンプルデータを入力とし、UP信号UP1～8/同期信号SY1～8/DOWN信号DN1～8を出力とする。

【 0 1 3 2 】

位相比較器 f 1 ～ f 8 は同一の構成であるため、位相比較器 f 1 を代表として説明する。

図 9 に示すように、位相比較器 f 1 の回路構成は、6 つの E x - O R ゲート f 1 - x 1, f 1 - y 1, f 1 - z 1, f 1 - x 2, f 1 - y 2, f 1 - z 2 と、それらの出力を受ける 4 つの A N D ゲート f 1 - m 1, f 1 - n 1, f 1 - m 2, f 1 - n 2 と、さらにそれらの出力を受ける 4 つの A N D ゲート f 1 - p, f 1 - q, f 1 - r, f 1 - s と、O R ゲート f 1 - t とからなり、その接続は図 1 2 に開示するとおりとなる。最終段の O R ゲート f 1 - t が U P 信号 U P 1 を、3 段目の A N D ゲート f 1 - q が同期信号 S Y 1 を、A N D ゲート f 1 - r が D O W N 信号 D N 1 をそれぞれ出力する。

【 0 1 3 3 】

【表 9】

a)

	入力						出力		
	sp1D	sp1	sp2D	sp2	sp3D	sp3	UP1	SY1	DN1
a1	0	0	1	1	1	1	1	0	0
a2	0	0	0	1	1	1	0	1	0
a3	1	1	1	1	0	0	0	0	1
a4	0	1	1	1	1	0	1	0	0
a5	その他の組合せ						0	0	0

b)

	入力						出力		
	sp1D	sp1	sp2D	sp2	sp3D	sp3	UP1	SY1	DN1
a1	1	1	0	0	0	0	1	0	0
a2	1	1	1	0	0	0	0	1	0
a3	0	0	0	0	1	1	0	0	1
a4	1	0	0	0	0	1	1	0	0
a5	その他の組合せ						0	0	0

【 0 1 3 4 】

実施の形態 3 のオーバーサンプリングクロックリカバリ方法を実施するには、図 1 0 を参照して説明したことからも分かるように位相比較器 f 1 が表 9 に示す

真理表に従った論理演算を行えばよい。

表 9 の真理表に対応する論理式は以下の通りである。

【 0 1 3 5 】

【 式 5 】

$$\begin{aligned} UP1 = & sp1D \cdot sp1 \cdot \overline{sp2D} \cdot \overline{sp2} \cdot \overline{sp3D} \cdot \overline{sp3} \\ & + sp1D \cdot \overline{sp1} \cdot \overline{sp2D} \cdot \overline{sp2} \cdot \overline{sp3D} \cdot sp3 \\ & + \overline{sp1D} \cdot \overline{sp1} \cdot sp2D \cdot sp2 \cdot sp3D \cdot sp3 \\ & + \overline{sp1D} \cdot sp1 \cdot sp2D \cdot sp2 \cdot sp3D \cdot \overline{sp3} \end{aligned}$$

$$\begin{aligned} SY1 = & sp1D \cdot sp1 \cdot sp2D \cdot \overline{sp2} \cdot \overline{sp3D} \cdot \overline{sp3} \\ & + \overline{sp1D} \cdot \overline{sp1} \cdot \overline{sp2D} \cdot sp2 \cdot sp3D \cdot sp3 \end{aligned}$$

$$\begin{aligned} DN1 = & \overline{sp1D} \cdot \overline{sp1} \cdot \overline{sp2D} \cdot \overline{sp2} \cdot sp3D \cdot sp3 \\ & + sp1D \cdot sp1 \cdot sp2D \cdot sp2 \cdot \overline{sp3D} \cdot \overline{sp3} \end{aligned}$$

【 0 0 1 3 6 】

一方、図 9 に示す位相比較器 f 1 の回路構成から以下に示すように論理式が導かれる。

【 0 1 3 7 】

【式6】

$$\begin{aligned} UP1 = & (sp1D \cdot \overline{sp2D} + \overline{sp1D} \cdot sp2D) \cdot (sp1D \cdot \overline{sp3D} \\ & + \overline{sp1D} \cdot sp3D) \cdot (sp2 \cdot \overline{sp3} + \overline{sp2} \cdot sp3) \cdot (sp1 \cdot \overline{sp3} \\ & + \overline{sp1} \cdot sp3) \\ & + (sp1D \cdot \overline{sp2D} + \overline{sp1D} \cdot sp2D) \cdot (sp1D \cdot \overline{sp3D} \\ & + \overline{sp1D} \cdot sp3D) \cdot (sp1 \cdot \overline{sp2} + \overline{sp1} \cdot sp2) \cdot (sp1 \cdot \overline{sp3} \\ & + \overline{sp1} \cdot sp3) \end{aligned}$$

$$\begin{aligned} = & sp1D \cdot \overline{sp2D} \cdot sp1D \cdot \overline{sp3D} \cdot sp2 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \\ & + sp1D \cdot \overline{sp2D} \cdot sp1D \cdot \overline{sp3D} \cdot sp2 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \\ & + sp1D \cdot \overline{sp2D} \cdot sp1D \cdot \overline{sp3D} \cdot \overline{sp2} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \\ & + sp1D \cdot \overline{sp2D} \cdot sp1D \cdot \overline{sp3D} \cdot \overline{sp2} \cdot sp3 \cdot \overline{sp1} \cdot sp3 \\ & + sp1D \cdot \overline{sp2D} \cdot \overline{sp1D} \cdot sp3D \cdot sp2 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \\ & + sp1D \cdot \overline{sp2D} \cdot \overline{sp1D} \cdot sp3D \cdot sp2 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \\ & + sp1D \cdot \overline{sp2D} \cdot \overline{sp1D} \cdot sp3D \cdot \overline{sp2} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \end{aligned}$$

$$\begin{aligned}
&= s_{p1D} \cdot \overline{s_{p2D}} \cdot \overline{s_{p3D}} \cdot s_{p2} \cdot \overline{s_{p3}} \cdot s_{p1} \\
&+ 0 + 0 \\
&+ s_{p1D} \cdot \overline{s_{p2D}} \cdot \overline{s_{p3D}} \cdot \overline{s_{p2}} \cdot s_{p3} \cdot \overline{s_{p1}}
\end{aligned}$$

$$\begin{aligned}
 &+0+0+0+0+0+0+0+0 \\
 &+\overline{\text{sp1D}} \cdot \text{sp2D} \cdot \text{sp3D} \cdot \text{sp2} \cdot \overline{\text{sp3}} \cdot \text{sp1} \\
 &+0+0 \\
 &+\overline{\text{sp1D}} \cdot \text{sp2D} \cdot \text{sp3D} \cdot \overline{\text{sp2}} \cdot \text{sp3} \cdot \overline{\text{sp1}} \\
 &+\text{sp1D} \cdot \overline{\text{sp2D}} \cdot \overline{\text{sp3D}} \cdot \text{sp1} \cdot \overline{\text{sp2}} \cdot \overline{\text{sp3}} \\
 &+0+0 \\
 &+\text{sp1D} \cdot \overline{\text{sp2D}} \cdot \overline{\text{sp3D}} \cdot \overline{\text{sp1}} \cdot \text{sp2} \cdot \text{sp3} \\
 &+0+0+0+0+0+0+0+0 \\
 &+\overline{\text{sp1D}} \cdot \text{sp2D} \cdot \text{sp3D} \cdot \text{sp1} \cdot \overline{\text{sp2}} \cdot \overline{\text{sp3}} \\
 &+0+0 \\
 &+\overline{\text{sp1D}} \cdot \text{sp2D} \cdot \text{sp3D} \cdot \overline{\text{sp1}} \cdot \text{sp2} \cdot \text{sp3}
 \end{aligned}$$

$$\begin{aligned}
 \therefore \text{UP1} = &\text{sp1D} \cdot \text{sp1} \cdot \overline{\text{sp2D}} \cdot \text{sp2} \cdot \overline{\text{sp3D}} \cdot \overline{\text{sp3}} \\
 &+\text{sp1D} \cdot \overline{\text{sp1}} \cdot \overline{\text{sp2D}} \cdot \overline{\text{sp2}} \cdot \overline{\text{sp3D}} \cdot \text{sp3} \\
 &+\overline{\text{sp1D}} \cdot \text{sp1} \cdot \text{sp2D} \cdot \text{sp2} \cdot \text{sp3D} \cdot \overline{\text{sp3}} \\
 &+\overline{\text{sp1D}} \cdot \overline{\text{sp1}} \cdot \text{sp2D} \cdot \overline{\text{sp2}} \cdot \text{sp3D} \cdot \text{sp3} \\
 &+\text{sp1D} \cdot \text{sp1} \cdot \overline{\text{sp2D}} \cdot \overline{\text{sp2}} \cdot \overline{\text{sp3D}} \cdot \overline{\text{sp3}} \\
 &+\text{sp1D} \cdot \overline{\text{sp1}} \cdot \overline{\text{sp2D}} \cdot \text{sp2} \cdot \overline{\text{sp3D}} \cdot \text{sp3} \\
 &+\overline{\text{sp1D}} \cdot \text{sp1} \cdot \text{sp2D} \cdot \overline{\text{sp2}} \cdot \text{sp3D} \cdot \overline{\text{sp3}} \\
 &+\overline{\text{sp1D}} \cdot \overline{\text{sp1}} \cdot \text{sp2D} \cdot \text{sp2} \cdot \text{sp3D} \cdot \text{sp3}
 \end{aligned}$$

【0138】

【式7】

$$\begin{aligned}
 \text{SY1} = &(\text{sp2D} \cdot \overline{\text{sp3D}} + \overline{\text{sp2D}} \cdot \text{sp3D}) \cdot (\text{sp1D} \cdot \overline{\text{sp3D}} \\
 &+\overline{\text{sp1D}} \cdot \text{sp3D}) \cdot (\text{sp1} \cdot \overline{\text{sp2}} + \overline{\text{sp1}} \cdot \text{sp2}) \cdot (\text{sp1} \cdot \overline{\text{sp3}} \\
 &+\overline{\text{sp1}} \cdot \text{sp3})
 \end{aligned}$$

$$\begin{aligned}
 = &\text{sp2D} \cdot \overline{\text{sp3D}} \cdot \text{sp1D} \cdot \overline{\text{sp3D}} \cdot \text{sp1} \cdot \overline{\text{sp2}} \cdot \text{sp1} \cdot \overline{\text{sp3}} \\
 &+\text{sp2D} \cdot \overline{\text{sp3D}} \cdot \text{sp1D} \cdot \overline{\text{sp3D}} \cdot \text{sp1} \cdot \overline{\text{sp2}} \cdot \overline{\text{sp1}} \cdot \text{sp3}
 \end{aligned}$$

$$\begin{aligned}
 &+sp2D \cdot \overline{sp3D} \cdot sp1D \cdot \overline{sp3D} \cdot \overline{sp1} \cdot sp2 \cdot sp1 \cdot \overline{sp3} \\
 &+sp2D \cdot \overline{sp3D} \cdot sp1D \cdot \overline{sp3D} \cdot \overline{sp1} \cdot sp2 \cdot \overline{sp1} \cdot sp3 \\
 &+sp2D \cdot \overline{sp3D} \cdot \overline{sp1D} \cdot sp3D \cdot sp1 \cdot \overline{sp2} \cdot sp1 \cdot \overline{sp3} \\
 &+sp2D \cdot \overline{sp3D} \cdot \overline{sp1D} \cdot sp3D \cdot sp1 \cdot \overline{sp2} \cdot \overline{sp1} \cdot sp3 \\
 &+sp2D \cdot \overline{sp3D} \cdot \overline{sp1D} \cdot sp3D \cdot \overline{sp1} \cdot sp2 \cdot sp1 \cdot \overline{sp3} \\
 &+sp2D \cdot \overline{sp3D} \cdot \overline{sp1D} \cdot sp3D \cdot \overline{sp1} \cdot sp2 \cdot \overline{sp1} \cdot sp3 \\
 &+\overline{sp2D} \cdot sp3D \cdot sp1D \cdot sp3D \cdot sp1 \cdot \overline{sp2} \cdot sp1 \cdot \overline{sp3} \\
 &+\overline{sp2D} \cdot sp3D \cdot sp1D \cdot sp3D \cdot sp1 \cdot \overline{sp2} \cdot \overline{sp1} \cdot sp3 \\
 &+\overline{sp2D} \cdot sp3D \cdot sp1D \cdot sp3D \cdot \overline{sp1} \cdot sp2 \cdot sp1 \cdot \overline{sp3} \\
 &+\overline{sp2D} \cdot sp3D \cdot sp1D \cdot sp3D \cdot \overline{sp1} \cdot sp2 \cdot \overline{sp1} \cdot sp3 \\
 &+\overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp3D \cdot sp1 \cdot \overline{sp2} \cdot sp1 \cdot \overline{sp3} \\
 &+\overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp3D \cdot sp1 \cdot \overline{sp2} \cdot \overline{sp1} \cdot sp3 \\
 &+\overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp3D \cdot \overline{sp1} \cdot sp2 \cdot sp1 \cdot \overline{sp3} \\
 &+\overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp3D \cdot \overline{sp1} \cdot sp2 \cdot \overline{sp1} \cdot sp3
 \end{aligned}$$

$$\begin{aligned}
 &=sp2D \cdot \overline{sp3D} \cdot sp1D \cdot sp1 \cdot \overline{sp2} \cdot \overline{sp3} \\
 &+0+0 \\
 &+sp2D \cdot \overline{sp3D} \cdot sp1D \cdot \overline{sp1} \cdot sp2 \cdot sp3 \\
 &+0+0+0+0+0+0+0+0+0 \\
 &+\overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp1 \cdot \overline{sp2} \cdot \overline{sp3} \\
 &+0+0 \\
 &+\overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot \overline{sp1} \cdot sp2 \cdot sp3
 \end{aligned}$$

$$\begin{aligned}
 \therefore SY1 &=sp1D \cdot sp1 \cdot sp2D \cdot \overline{sp2} \cdot \overline{sp3D} \cdot \overline{sp3} \\
 &+sp1D \cdot \overline{sp1} \cdot sp2D \cdot sp2 \cdot \overline{sp3D} \cdot sp3 \\
 &+\overline{sp1D} \cdot sp1 \cdot \overline{sp2D} \cdot \overline{sp2} \cdot sp3D \cdot \overline{sp3} \\
 &+\overline{sp1D} \cdot \overline{sp1} \cdot \overline{sp2D} \cdot sp2 \cdot sp3D \cdot sp3
 \end{aligned}$$

【0139】

【式8】

$$DN1 = (sp2D \cdot \overline{sp3D} + \overline{sp2D} \cdot sp3D) \cdot (sp1D \cdot \overline{sp3D} + \overline{sp1D} \cdot sp3D) \cdot (sp2 \cdot \overline{sp3} + \overline{sp2} \cdot sp3) \cdot (sp1 \cdot \overline{sp3} + \overline{sp1} \cdot sp3)$$

$$\begin{aligned} &= sp2D \cdot \overline{sp3D} \cdot sp1D \cdot \overline{sp3D} \cdot sp2 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \\ &+ sp2D \cdot \overline{sp3D} \cdot sp1D \cdot \overline{sp3D} \cdot sp2 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \\ &+ sp2D \cdot \overline{sp3D} \cdot sp1D \cdot \overline{sp3D} \cdot \overline{sp2} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \\ &+ sp2D \cdot \overline{sp3D} \cdot sp1D \cdot \overline{sp3D} \cdot \overline{sp2} \cdot sp3 \cdot \overline{sp1} \cdot sp3 \\ &+ sp2D \cdot \overline{sp3D} \cdot \overline{sp1D} \cdot sp3D \cdot sp2 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \\ &+ sp2D \cdot \overline{sp3D} \cdot \overline{sp1D} \cdot sp3D \cdot sp2 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \\ &+ sp2D \cdot \overline{sp3D} \cdot \overline{sp1D} \cdot sp3D \cdot \overline{sp2} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \\ &+ sp2D \cdot \overline{sp3D} \cdot \overline{sp1D} \cdot sp3D \cdot \overline{sp2} \cdot sp3 \cdot \overline{sp1} \cdot sp3 \\ &+ \overline{sp2D} \cdot sp3D \cdot sp1D \cdot \overline{sp3D} \cdot sp2 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \\ &+ \overline{sp2D} \cdot sp3D \cdot sp1D \cdot \overline{sp3D} \cdot sp2 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \\ &+ \overline{sp2D} \cdot sp3D \cdot sp1D \cdot \overline{sp3D} \cdot \overline{sp2} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \\ &+ \overline{sp2D} \cdot sp3D \cdot sp1D \cdot \overline{sp3D} \cdot \overline{sp2} \cdot sp3 \cdot \overline{sp1} \cdot sp3 \\ &+ \overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp3D \cdot sp2 \cdot \overline{sp3} \cdot sp1 \cdot \overline{sp3} \\ &+ \overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp3D \cdot sp2 \cdot \overline{sp3} \cdot \overline{sp1} \cdot sp3 \\ &+ \overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp3D \cdot \overline{sp2} \cdot sp3 \cdot sp1 \cdot \overline{sp3} \\ &+ \overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp3D \cdot \overline{sp2} \cdot sp3 \cdot \overline{sp1} \cdot sp3 \end{aligned}$$

$$\begin{aligned} &= sp2D \cdot \overline{sp3D} \cdot sp1D \cdot sp2 \cdot \overline{sp3} \cdot sp1 \\ &+ 0 + 0 \\ &+ sp2D \cdot \overline{sp3D} \cdot sp1D \cdot \overline{sp2} \cdot sp3 \cdot \overline{sp1} \\ &+ 0 + 0 + 0 + 0 + 0 + 0 + 0 + 0 \\ &+ \overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot sp2 \cdot \overline{sp3} \cdot sp1 \\ &+ 0 + 0 \end{aligned}$$

$$+ \overline{sp2D} \cdot sp3D \cdot \overline{sp1D} \cdot \overline{sp2} \cdot sp3 \cdot \overline{sp1}$$

$$\begin{aligned} \therefore DN1 = & sp1D \cdot sp1 \cdot sp2D \cdot sp2 \cdot \overline{sp3D} \cdot \overline{sp3} \\ & + sp1D \cdot \overline{sp1} \cdot sp2D \cdot \overline{sp2} \cdot \overline{sp3D} \cdot sp3 \\ & + \overline{sp1D} \cdot sp1 \cdot \overline{sp2D} \cdot sp2 \cdot sp3D \cdot \overline{sp3} \\ & + \overline{sp1D} \cdot \overline{sp1} \cdot \overline{sp2D} \cdot \overline{sp2} \cdot sp3D \cdot sp3 \end{aligned}$$

【0140】

式6、式7、式8の解のうち式5と共通しない項のような入力信号パターンは、データ信号の性質上生じ得ないので、工学的には問題とならない。

したがって、図12に示す位相比較器f1～f8により、実施の形態3のオーバーサンプリングクロックリカバリ方法に基づいたUP信号UP1～8／同期信号SY1～8／DOWN信号DN1～8を出力することができ、入力データiに対するクロックの遅れ・進みを判定することができる。

この8つのUP信号UP1／同期信号SY1／DOWN信号DN1～UP信号UP8／同期信号SY8／DOWN信号DN8は、上述のように多数決回路51により多数決をとられ、UP信号UP20又はDOWN信号DN20として出力される。続いて上述のように累積カウンタ52、セクタ制御回路53による処理が成される。

【0141】

以上の実施の形態に対して、入力データの1ビットに対して4相以上又は5相以上のクロックとするには、以上の実施の形態における面A、面B以外に、それらと同一の回路構成を増設し、1分解能ずつずらした制御を行う必要がある。

【0142】

【発明の効果】

上述のように本発明は、データの速度変化に十分に追従する高い追従性を、比較的少ない相数のクロックで実現することができ、その結果、さらなるデータ伝送の高速化への対応を可能にするという効果がある。

また本発明は、入力データの1ビットに対して4相以上のクロックを用いて、データ読み取りエラーを発生させるようなクロックエッジとビット中央とがずれ

た不都合な状態を積極的に回避することができるという効果がある。

また本発明は、3つのDLLにより多相クロックを生成し位相制御することとしたので、DLLを構成するバッファ（又はインバータ）の伝搬遅延時間よりも狭い相間隔を一部に有する不均等の多相クロックを生成することができるという利点がある。

さらに本発明は、サンプリングに用いる多相クロックを、その相間隔を精度良く保持したまま全体として高分解能かつサイクリックにシフトし、かつ、DLLにより良質なクロックを位相比較部に供給することができるという効果がある。

【0143】

以下に従来の方法及び本発明の方法について、入力データの変化速度と追従速度とを比較し、その結果に沿って従来技術に比較した本発明の有利な効果につき説明する。

【0144】

〔1. 変化速度及び追従速度の算出〕

以下は、ジッタののった入力データの最大の変化速度と、2倍、3倍、4倍、8倍の従来のオーバーサンプリングクロックリカバリ、及び本発明のオーバーサンプリングクロックリカバリの追従速度とを比較することにより各方法の追従性を見積もろうとするものである。対象とする入力データのデータ速度は2.5 [Gbps] とする。

〔1-1. 入力データの変化速度〕

まず、入力データの変化速度を求める。データ速度の周波数が200 [ppm] のオフセットを持ってずれており、さらに、以下のように入力データにジッタによる周波数変調がかかった場合につき考察する。

【0145】

入力データとして「01010101・・・」とデータ列に異符号が交互に配列する変化点の最密なパターンを想定する。その場合、入力データは正弦波に近似でき、入力データの周波数を f_c とすると、入力データの時刻 t における位相 $\theta_1(t)$ は、

$$\theta_1(t) = 2\pi \cdot f_c \cdot t \text{ [rad]} \cdots \cdots \cdots (1)$$

と表される。

一方、ジッタののった入力データは周波数変調波として取り扱うことができる。そこで、ジッタ周波数 f_s 、変調指数 mdi の周波数変調がかかった入力データの時刻 t における位相 $\theta_2(t)$ は、

$$\theta_2(t) = 2\pi \cdot f_c \cdot t + mdi \cdot \sin(2\pi \cdot f_s \cdot t) \text{ [rad]} \cdot \dots \dots \dots (2)$$

と表される。

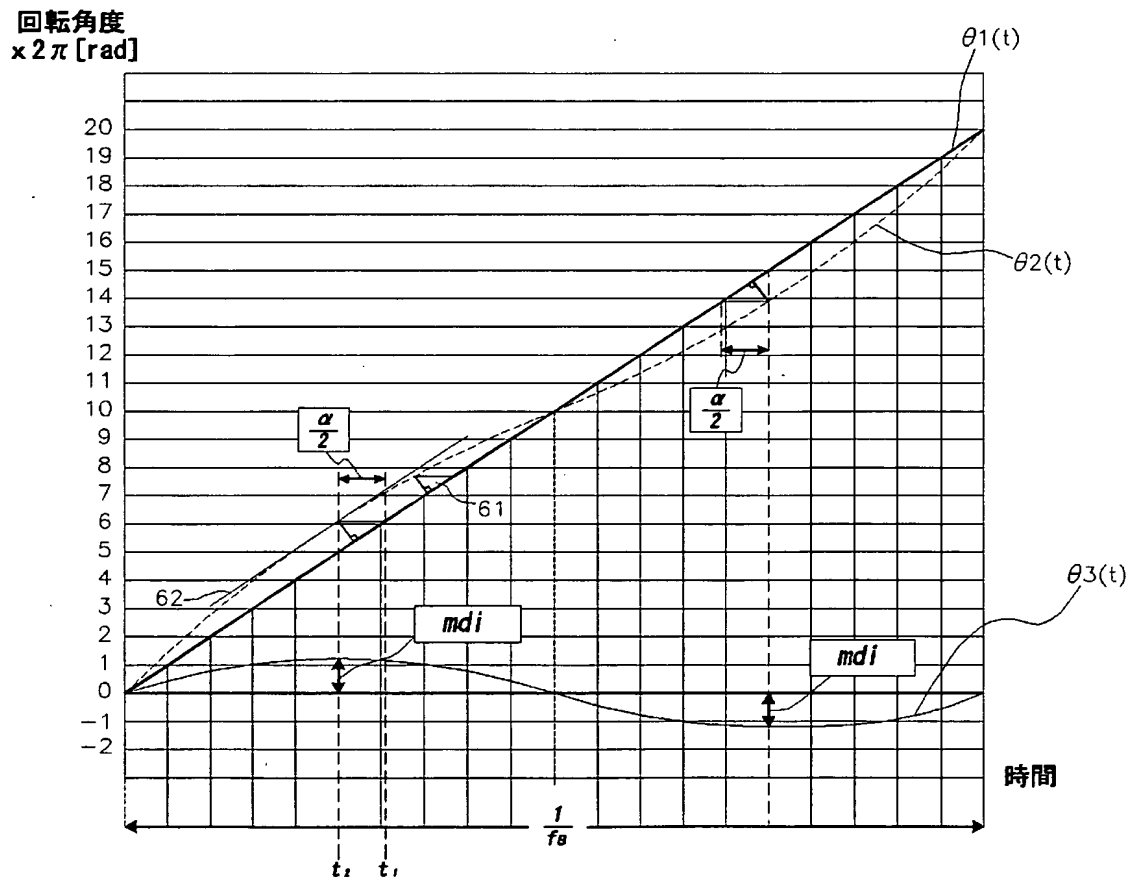
このとき、

$$\theta_3(t) = mdi \cdot \sin(2\pi \cdot f_s \cdot t) \text{ [rad]} \dots \dots \dots (3)$$

は、ジッタに原因する変調成分である。

【0146】

【表10】



【0147】

表10に、式(1)、式(2)、式(3)のグラフを示した。縦軸が位相の回

転角度 (rad)、横軸が時間 t である。

ジッタののった入力データ (式 (2)) の、本来のジッタののっていない入力データ (式 (1)) に対する位相の遅れ・進みは、同一位相に到達する時間の差によって評価することができる。ジッタののった入力データ (式 (2)) とジッタののっていない入力データ (式 (1)) との同一位相に到達する時間の差は、表 10 のグラフに示すように振動し、この時間差の最大値と最小値との差は、ジッタの大きさ、すなわち、ジッタによるデータ到達時間 (データ速度) の振幅に相当する。このジッタによるデータ到達時間の振幅を α とすると、データ到達時間の時間差の最大及び最小の絶対値は $\alpha/2$ となる。表 10 にこれを書き加えた。

データ到達時間の時間差が最大、すなわち、 $\alpha/2$ となる位相におけるジッタののっていない入力データ (式 (1)) の時間を t_1 、ジッタののった入力データ (式 (2)) の時間を t_2 とすると、次式が成り立つ。

$$2(t_1 - t_2) = \alpha \dots \dots \dots (4)$$

また、表 10 のグラフを参照して、時間 t_2 における曲線 $\theta_2(t)$ の傾きは、直線 $\theta_1(t)$ の傾き、すなわち、 $2\pi \cdot f_c$ に等しい。

なぜなら、表 10 に示すような直角三角形 61 の斜辺が最大であるときその高さは最大であり、その高さとは曲線 $\theta_2(t)$ 上の点と直線 $\theta_1(t)$ との距離にほかならない。曲線 $\theta_2(t)$ 上の点と直線 $\theta_1(t)$ との距離が最大となるとき、その点における曲線 $\theta_2(t)$ の接線 62 と、直線 $\theta_1(t)$ とは平行になるからである。

したがって、時間 t_2 における $\theta_2(t)$ の変化率と、時間 t_1 における $\theta_1(t)$ の変化率は等しいから、式 (1) (2) より、

$$2\pi \cdot f_c + m d i \cdot 2\pi \cdot f_s \cdot \sin(2\pi \cdot f_s \cdot t_2) = 2\pi \cdot f_c \cdot \dots \dots \dots (5)$$

式 (5) を解いて、

$$t_2 = 1/4 f_s \dots \dots \dots (6)$$

データ到達時間の時間差が最大となる位相は式 (2) に式 (6) を代入して、

$$\theta_2(t_2) = (\pi f_c / 2 f_s) + m d i \dots \dots \dots (7)$$

となる。 $\theta_1(t_1) = \theta_2(t_2)$ であるから、式(1)、式(7)より、
 $2\pi \cdot f_c \cdot t_1 = (\pi f_c / 2 f_s) + m d i \dots \dots \dots (8)$

式(8)を解いて、

$$t_1 = (1 / 4 f_s) + (m d i / 2 \pi f_c) \dots \dots \dots (9)$$

となる。

式(4)に式(6)、式(9)を代入すると、

$$(m d i / \pi f_c) = \alpha \dots \dots \dots (10)$$

【0148】

ここで、単位を導入する。時間 t の単位は[sec]、 α の単位は[UI]とする。[UI (Unit Interval)]は、データ1ビットの長さ(時間)を一単位とするものである。データ1ビットの長さ(時間)は周期 $1 / f_c$ の2分の1すなわち、半周期に等しいので、

$$1 \text{ [UI]} = 1 / 2 f_c \text{ [sec]} \dots \dots \dots (11)$$

式(10)に単位を与えると、

$$(m d i / \pi f_c) \text{ [sec]} = \alpha \text{ [UI]} \dots \dots \dots (12)$$

式(11)より、

$$(m d i / \pi f_c) \text{ [sec]} = \alpha / 2 f_c \text{ [sec]} \dots \dots \dots (13)$$

となる。式(13)を変調指数 $m d i$ について解くと、

$$m d i = \alpha \pi / 2 \text{ [rad]} \dots \dots \dots (14)$$

となる。

式(14)を式(2)に代入すると、

$$\theta_2(t) = 2\pi \cdot f_c \cdot t + (\alpha \pi / 2) \cdot \sin(2\pi \cdot f_s \cdot t) \text{ [rad]} \dots \dots \dots (15)$$

$$\text{ここで、} 1 \text{ [UI]} = T \text{ [sec]} \dots \dots \dots (16)$$

$$\text{とすると、} \pi \text{ [rad]} = T \text{ [sec]} \dots \dots \dots (17)$$

ここで、 T はデータ1ビットの長さ(時間)であり、 $1 / 2 f_c$ に等しい。

式(15)、式(17)より、

$$\theta_2(t) = 2 f_c \cdot t \cdot T + (\alpha T / 2) \cdot \sin(2\pi \cdot f_s \cdot t) \text{ [sec]} \dots \dots \dots (18)$$

同様に式(1)、式(17)より、

$$\theta_1(t) = 2T \cdot f_c \cdot t \text{ [sec]} \dots\dots\dots (19)$$

式(18)、式(19)より

$$\theta_2(t) - \theta_1(t) = (\alpha T / 2) \cdot \sin(2\pi \cdot f_s \cdot t) \text{ [sec]} \dots\dots\dots (20)$$

式(20)をtで微分して、

$$d\{\theta_2(t) - \theta_1(t)\} / dt = (\alpha T / 2) \cdot 2\pi \cdot f_s \cdot \cos(2\pi \cdot f_s \cdot t) \text{ [sec/sec]} \dots\dots\dots (21)$$

となる。

式(21)はジッタののった入力データ $\theta_2(t)$ のジッタののっていない入力データ $\theta_1(t)$ に対する相対速度を表す。この相対速度はジッタによる入力データの変化速度を表す。

表10のグラフを参照すると、 $t=0$ のとき、ジッタによる入力データのエッジ変化速度は最大であり、この最大値を r_1 とすると、式(21)に $t=0$ を代入して、

$$r_1 = \alpha T \pi f_s \text{ [sec/sec]} \dots\dots\dots (22)$$

となる。

【0149】

次に、データ速度 2.5 [Gbps] 、ジッタ周波数 $f_s = 100 \text{ [kHz]}$ 、ジッタによる振幅 $\alpha = 1.5 \text{ [UI]}$ の条件における、ジッタによる入力データの変化速度の最大値 r_1 を求める。

データ速度が 2.5 [Gbps] の場合、 $f_c = 1.25 \text{ [GHz]}$ であり、式(11)、式(16)より $T = 1 / 2 f_c \text{ [sec]}$ であるから、

$$T = 1 / 2.5 = 400 \text{ [psec]}$$

したがって、式(22)に $\alpha = 1.5 \text{ [UI]}$ 、 $T = 400 \text{ [psec]}$ 、 $f_s = 100 \text{ [kHz]}$ を代入して計算すると、ジッタによる入力データの変化速度の最大値 r_1 は、

$$r_1 = 1.5 \times 400 \times 10^{-12} \times 100 \times 10^3 \times 3.141592$$

$$\therefore r_1 = 0.00019 \text{ [sec/sec]} \dots\dots\dots (23)$$

次に、データ速度の周波数オフセットによる入力データの変化速度値 r_2 を求める。

入力データが、 $+200$ [ppm] のオフセットを持っているとすると、
 $r_2 = 1 \times 200 \times 10^{-6} = 0.0002$ [sec/sec] (24)

となる。

入力データの変化速度（の最大値） r_{max} は、式 (23)、式 (24) より
 $r_{max} = r_1 + r_2 = 0.00039$ [sec/sec] (25)
 となる。

同様にして、 $\alpha = 5$ [UI]、 $\alpha = 10$ [UI]、 $\alpha = 50$ [UI]、 $\alpha = 100$ [UI] とする場合の入力データの変化速度 r_{max} を求め、これをまとめた表を表 11 (a) に示す。

【0150】

【表 1 1】

(b1)		(b2)		(b3)		(b4)	
8倍オーバーサンプリングCDR		4倍オーバーサンプリングCDR		3倍オーバーサンプリングCDR		本発明のオーバーサンプリングCDR	
重み付け: 1/4 = 0.25		重み付け: 1/4 = 0.25		重み付け: 1/4 = 0.25		重み付け: 1/4 = 0.25	
分解能: 400ps/8 = 50ps		← (同じとする)		← (同じとする)		分解能: 3200ps/7 - 3200ps/8 = 57ps	
CDR応答時間 (8倍)	追従速度 (8倍)	CDR応答時間 (4倍)	追従速度 (4倍)	CDR応答時間 (3倍)	追従速度 (3倍)	CDR応答時間 (不4倍)	追従速度 (不4倍)
2.86502E-07	0.000186486	5.40887E-07	8.21714E-05	7.32895E-07	6.80848E-05	3.05016E-07	0.000186386
7.96107E-08	0.000615683	1.59421E-07	0.000310518	2.1284E-07	0.000233165	9.08953E-08	0.000817125
3.97928E-08	0.001207837	7.96107E-08	0.000615683	1.06182E-07	0.000463689	4.5479E-08	0.001213764
7.95778E-09	0.005231339	1.59158E-08	0.002854572	2.12213E-08	0.002190836	9.08462E-08	0.005343141
3.97888E-09	0.008962375	7.95778E-09	0.005231339	1.06104E-08	0.004094866	4.54729E-09	0.008295616

入力データ	
ジッタの大きさ α (UI _{p-p})	入力データ変換速度
1.5	0.000388486
5	0.000828318
10	0.001456637
50	0.008483184
100	0.012766368

(c)

2倍デジタルCDR			
分解能: 400p/16 = 25ps		分解能: 400p/8 = 50ps	
ACR7/fタ応答時間	ACR7/fタ応答時間	ACR7/fタ応答時間	ACR7/fタ応答時間
20ns	40ns	20ns	40ns
追従速度 (25p, 20n)	追従速度 (25p, 40n)	追従速度 (50p, 20n)	追従速度 (50p, 40n)
0.00125	0.000625	0.0025	0.00125
0.00125	0.000625	0.0025	0.00125
0.00125	0.000625	0.0025	0.00125
0.00125	0.000625	0.0025	0.00125
0.00125	0.000625	0.0025	0.00125

(a)

入力データ	
ジッタの大きさ α (UI _{p-p})	入力データ変換速度
1.5	0.000388486
5	0.000828318
10	0.001456637
50	0.008483184
100	0.012766368

【0 1 5 1】

〔1-2. オーバーサンプリングクロックリカバリの追従速度〕

オーバーサンプリングクロックリカバリの追従速度は、位相制御の分解能を、応答時間で除した値である。すなわち、

$$(\text{追従速度}) = (\text{分解能}) / (\text{応答時間}) \dots\dots\dots (26)$$

である。ここで、分解能はクロックを1回にシフトする量であり、応答時間は、1回シフトされた直後から入力データに対する遅れ（UP信号）又は進み（DOWN信号）のいずれか一方が連続して検出される場合にクロックをシフトすべきと判定するまでにかかる時間である。

【0152】

〔1-3. 2倍のデジタル型オーバーサンプリングクロックリカバリの追従速度〕

次に、2倍のデジタル型オーバーサンプリングクロックリカバリの追従速度を求める。

2倍のデジタル型オーバーサンプリングクロックリカバリの場合、分解能を25 [psec]、50 [psec] のそれぞれにつき、ACRフィルタの応答時間を20 [nsec]、40 [nsec] とする4パターンについて、式(26)より計算し、計算結果を表11(c)にまとめた。

【0153】

〔1-4. 8倍のオーバーサンプリングクロックリカバリの追従速度〕

次に8倍のオーバーサンプリングクロックリカバリの追従速度を求める。

8倍のオーバーサンプリングクロックリカバリの場合、データ1ビット(400 [psec])の範囲内に8相のクロックエッジが配列するので、その分解能は、

$$400 \text{ [psec]} / 8 = 50 \text{ [psec]} \dots\dots\dots (27-1)$$

である。一方、1回の遅れ（UP信号）又は進み（DOWN信号）の検出に対する重み付けを0.25とする。したがって、4回の遅れ（UP信号）又は進み（DOWN信号）の検出で応答することとなり、時間にして、

$$400 \text{ [psec]} \times 4 = 1600 \text{ [psec]} \dots\dots\dots (28-1)$$

となる。

また、遅れ（UP信号）又は進み（DOWN信号）が検出し始める前に、入力データが遅れ方向に又は進み方向に移動し、その変化点が、あるクロックエッジを通過してから、さらに隣のクロックエッジを通過するまでに時間がかかる。この時間はジッタによる入力データの変化速度によって1相間隔（ $T/8 = 50$ [psec]）を移動するのにかかる時間に相当する。

したがって、この1相間隔の移動時間を t_3 とすると、式（20）より、

$$T/8 = (\alpha T/2) \cdot \sin(2\pi \cdot f_s \cdot t_3) \dots\dots\dots (29-1)$$
 となる。式（29-1）に $T = 400$ [psec] を代入して変形すると、

$$t_3 = \{\sin^{-1}(1/4\alpha)\} / 2\pi f_s \dots\dots\dots (30-1)$$

となる。式（30-1）に $f_s = 100$ [kHz]、 $\alpha = 1.5$ [UI] を代入して、

$$t_3 = 0.267$$
 [μsec] $\dots\dots\dots (31-1)$
 となる。

8倍のオーバーサンプリングクロックリカバリの応答時間は、値（28-1）、値（31-1）より、

$$1600$$
 [psec] + 0.267 [μsec] = 0.2686 [μsec] $\dots\dots\dots (32-1)$
 となる。

したがって、式（26）、値（27-1）、値（32-1）より、8倍のオーバーサンプリングクロックリカバリの追従速度は、

$$50$$
 [psec] / 0.2686 [μsec] = 0.000186 [sec/sec] となる。

同様にして、 $\alpha = 5$ [UI]， $\alpha = 10$ [UI]， $\alpha = 50$ [UI]， $\alpha = 100$ [UI] の各場合について応答時間を求め、さらに、追従速度を、式（26）より求め、計算結果を表11（b1）にまとめた。

【0154】

〔1-5. 4倍のオーバーサンプリングクロックリカバリの追従速度〕

次に、4倍のオーバーサンプリングクロックリカバリの追従速度を求める。

4 倍のオーバーサンプリングクロックリカバリについても分解能を、
 $50 \text{ [psec]} \dots\dots\dots (27-2)$
 とする。一方、1 回の遅れ (UP 信号) 又は進み (DOWN 信号) の検出に対す
 る重み付けを 0.25 とする。したがって、4 回の遅れ (UP 信号) 又は進み (DOWN 信号) の検出で応答することとなり、時間にして、
 $400 \text{ [psec]} \times 4 = 1600 \text{ [psec]} \dots\dots\dots (28-2)$
 となる。

また、遅れ (UP 信号) 又は進み (DOWN 信号) が検出し始める前に、入力
 データが遅れ方向に又は進み方向に移動し、その変化点が、あるクロックエッジ
 を通過してから、さらに隣のクロックエッジを通過するまでに時間がかかる。こ
 の時間はジッタによる入力データの変化速度によって 1 相間隔 ($T/4 = 100$
 [psec]) を移動するのにかかる時間に相当する。

したがって、この 1 相間隔の移動時間を t_4 とすると、式 (20) より、
 $T/4 = (\alpha T/2) \cdot \sin(2\pi \cdot fs \cdot t_4) \dots\dots\dots (29-2)$
 となる。式 (29-2) に $T = 400 \text{ [psec]}$ を代入して変形すると、
 $t_4 = \{\sin^{-1}(1/2\alpha)\} / 2\pi fs \dots\dots\dots (30-2)$
)

となる。式 (30-2) に $fs = 100 \text{ [kHz]}$ 、 $\alpha = 1.5 \text{ [UI]}$ を代入
 して、
 $t_4 = 0.541 \text{ [\mu sec]} \dots\dots\dots (31-2)$
 となる。

4 倍のオーバーサンプリングクロックリカバリの応答時間は、値 (28-2)
 、値 (31-2) より、
 $1600 \text{ [psec]} + 0.541 \text{ [\mu sec]} = 0.5426 \text{ [\mu sec]} \cdot$
 $\dots\dots\dots (32-2)$
 となる。

したがって、式 (26)、値 (27-2)、値 (32-2) より、4 倍のオー
 バーサンプリングクロックリカバリの追従速度は、
 $50 \text{ [psec]} / 0.5426 \text{ [\mu sec]} = 0.000092 \text{ [sec/s]}$

e c] となる。

同様に、 $\alpha = 5$ [UI] , $\alpha = 10$ [UI] , $\alpha = 50$ [UI] , $\alpha = 100$ [UI] の各場合について応答時間を求め、さらに、追従速度を、式 (26) より求め、計算結果を表 11 (b2) にまとめた。

【0155】

[1-6. 3 倍のオーバーサンプリングクロックリカバリの追従速度]

次に、3 倍のオーバーサンプリングクロックリカバリの追従速度を求める。

3 倍のオーバーサンプリングクロックリカバリについても分解能を、

50 [psec] (27-3)

とする。一方、1 回の遅れ (UP 信号) 又は進み (DOWN 信号) の検出に対する重み付けを 0.25 とする。したがって、4 回の遅れ (UP 信号) 又は進み (DOWN 信号) の検出で応答することとなり、時間にして、

400 [psec] $\times 4 = 1600$ [psec] (28-3)

となる。

また、遅れ (UP 信号) 又は進み (DOWN 信号) が検出し始める前に、入力データが遅れ方向に又は進み方向に移動し、その変化点が、あるクロックエッジを通過してから、さらに隣のクロックエッジを通過するまでに時間がかかる。この時間はジッタによる入力データの変化速度によって 1 相間隔 ($T/3 \approx 133.33$ [psec]) を移動するのにかかる時間に相当する。

したがって、この 1 相間隔の移動時間を t_5 とすると、式 (20) より、

$T/3 = (\alpha T/2) \cdot \sin(2\pi \cdot fs \cdot t_5)$ (29-3)

となる。式 (29-3) に $T = 400$ [psec] を代入して変形すると、

$t_5 = \{\sin^{-1}(2/3\alpha)\} / 2\pi fs$ (30-3)

となる。式 (30-3) に $fs = 100$ [kHz]、 $\alpha = 1.5$ [UI] を代入して、

$t_5 = 0.73$ [μ sec] (31-3)

となる。

3 倍のオーバーサンプリングクロックリカバリの応答時間は、値 (28-3)

、値 (31-3) より、

$$1600 [\text{psec}] + 0.73 [\mu\text{sec}] = 0.7316 [\mu\text{sec}] \cdots \cdots (32-3)$$

となる。

したがって、式 (26)、値 (27-3)、値 (32-3) より、3 倍のオーバーサンプリングクロックリカバリの追従速度は、

$$50 [\text{psec}] / 0.7316 [\mu\text{sec}] = 0.000068 [\text{sec/sec}] \text{ となる。}$$

同様に、 $\alpha = 5 [\text{UI}]$ 、 $\alpha = 10 [\text{UI}]$ 、 $\alpha = 50 [\text{UI}]$ 、 $\alpha = 100 [\text{UI}]$ の各場合について応答時間を求め、さらに、追従速度を、式 (26) より求め、計算結果を表 11 (b3) にまとめた。

【0156】

〔1-7. 本発明の実施の形態のオーバーサンプリングクロックリカバリの追従速度〕

次に、本発明の実施の形態のオーバーサンプリングクロックリカバリの追従速度を求める。

本発明上記実施形態のオーバーサンプリングクロックリカバリの場合、データ 1 ビット (400 [psec]) の範囲内に 3 相又は 4 相のクロックエッジが配列し、少なくともそのうち 2 相が狭まった相間隔を形成する。分解能 (1 相間隔) は以下のように計算できる。

$$(400 [\text{psec}] \times 8 / 7) - (400 [\text{psec}] \times 8 / 7) = 400 / 7 \approx 57.1 [\text{psec}] \cdots \cdots (27-4)$$

一方、1 回の遅れ (UP 信号) 又は進み (DOWN 信号) の検出に対する重み付けを 0.25 とする。したがって、4 回の遅れ (UP 信号) 又は進み (DOWN 信号) の検出で応答することとなり、時間にして、

$$400 [\text{psec}] \times 4 = 1600 [\text{psec}] \cdots \cdots (28-4)$$

となる。

また、遅れ (UP 信号) 又は進み (DOWN 信号) が検出し始める前に、入力データが遅れ方向に又は進み方向に移動し、その変化点があるクロックエッジ

を通過してから、さらに隣のクロックエッジを通過するまでに時間がかかる。この時間はジッタによる入力データの変化速度によって1相間隔(400/7[psec])を移動するのにかかる時間に相当する。

したがって、この1相間隔の移動時間を t_6 とすると、式(20)より、

$$T/7 = (\alpha T/2) \cdot \sin(2\pi \cdot fs \cdot t_6) \dots\dots\dots (29-4)$$
 となる。式(29-4)に $T=400$ [psec]を代入して変形すると、

$$t_6 = \{\sin^{-1}(2/7\alpha)\} / 2\pi fs \dots\dots\dots (30-4)$$

となる。式(30-4)に $fs=100$ [kHz]、 $\alpha=1.5$ [UI]を代入して、

$$t_6 = 0.303 [\mu sec] \dots\dots\dots (31-4)$$
 となる。

本発明上記実施形態のオーバーサンプリングクロックリカバリの応答時間は、値(28-4)、値(31-4)より、

$$1600 [psec] + 0.303 [\mu sec] = 0.3046 [\mu sec] \dots\dots\dots (32-4)$$
 となる。

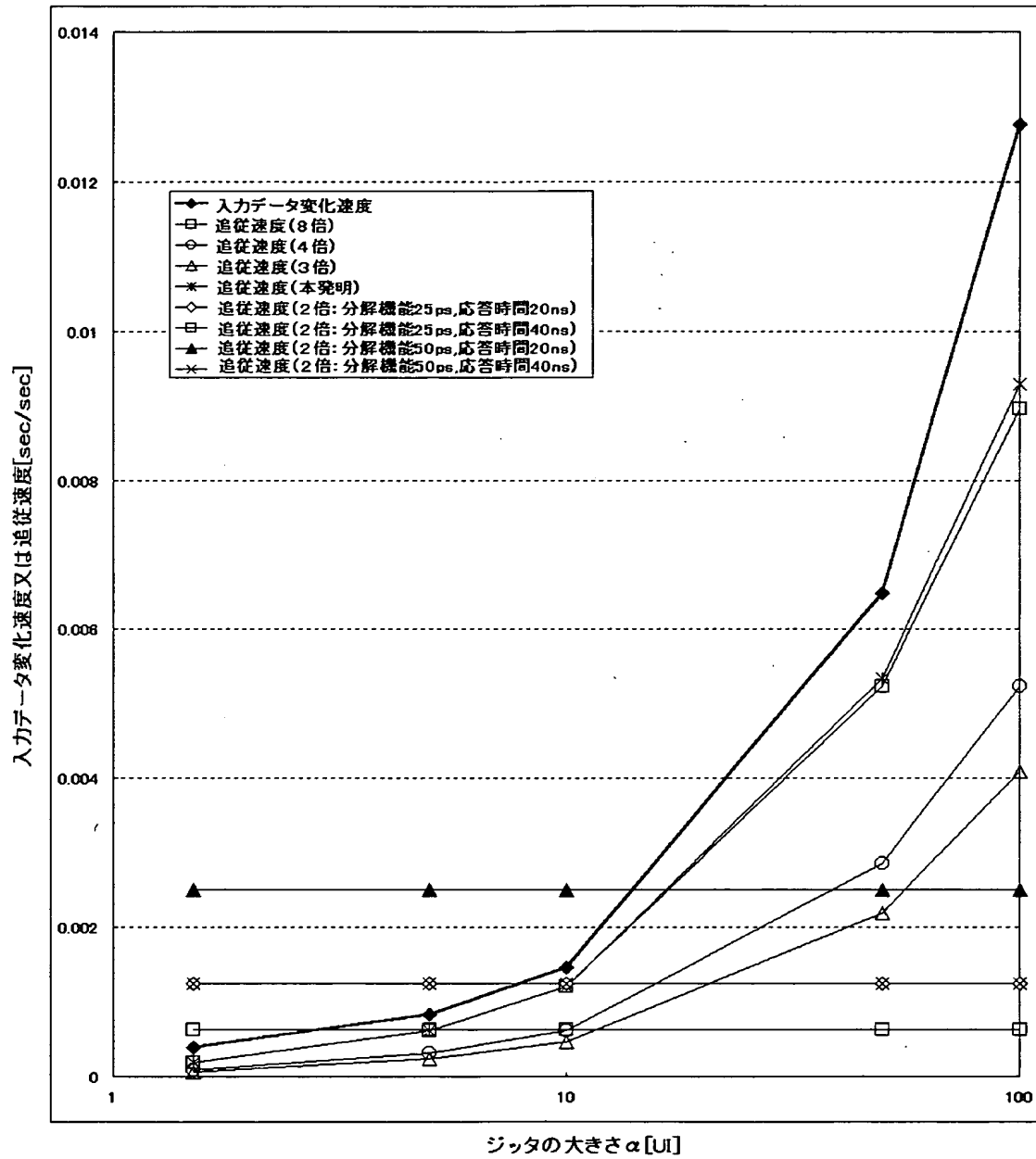
したがって、式(26)、値(27-4)、値(32-4)より、本発明上記実施形態のオーバーサンプリングクロックリカバリの追従速度は、

$$57.1 [psec] / 0.3046 [\mu sec] = 0.00019 [sec/sec]$$
 となる。

同様にして、 $\alpha=5$ [UI]、 $\alpha=10$ [UI]、 $\alpha=50$ [UI]、 $\alpha=100$ [UI]の各場合について応答時間を求め、さらに、追従速度を、式(26)より求め、計算結果を表11(b4)にまとめた。

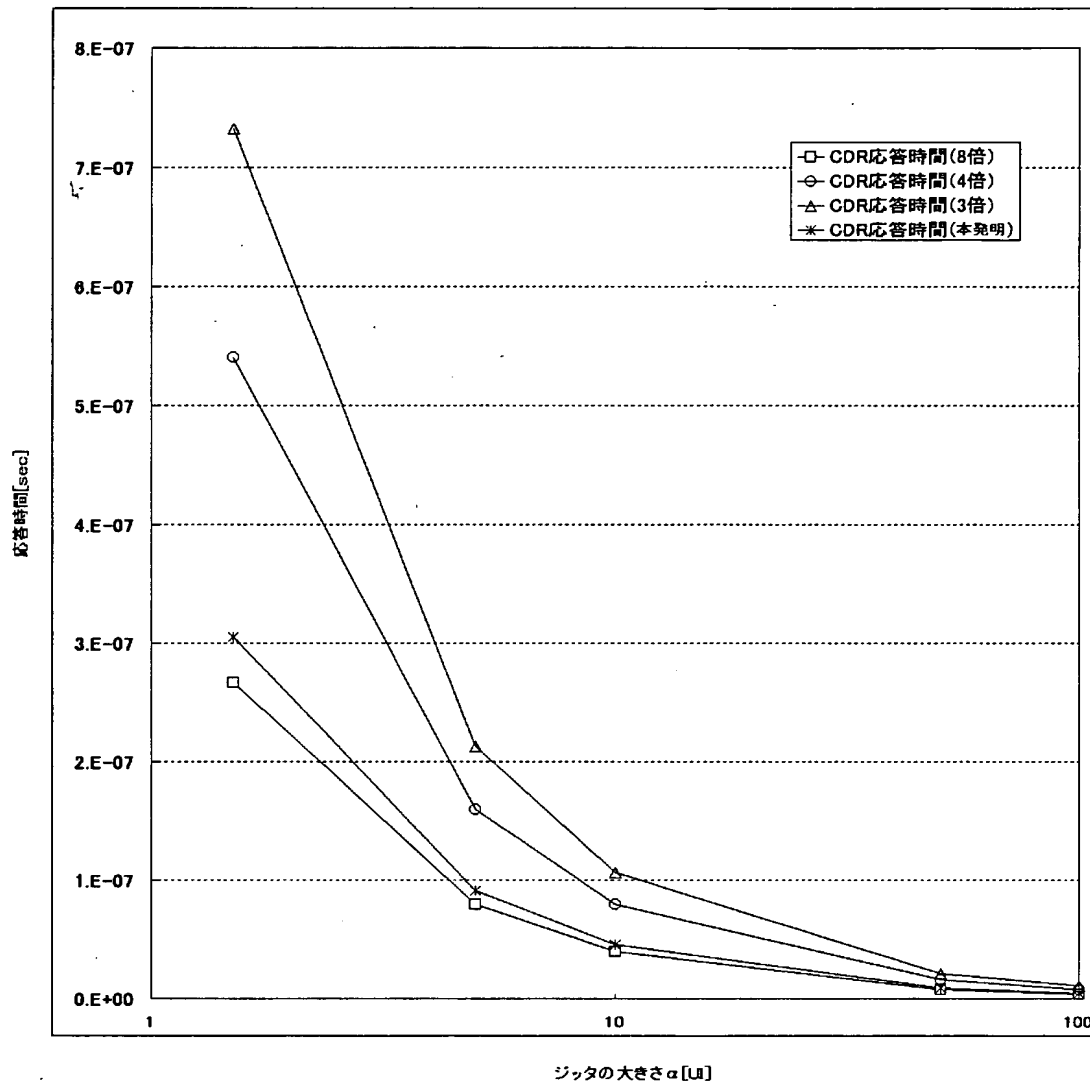
【0157】

【表 1 2】



【0 1 5 8】

【表 13】



【0159】

〔2. 従来技術に比較した有利な効果〕

表11に示したジッタの大きさ α と、入力データの変化速度又は各クロックリカバリの追従速度との関係を示すグラフを表12に示した。

また、表11に示したジッタの大きさ α と、各クロックリカバリの応答時間との関係を示すグラフを表13に示した。

【0160】

表12のグラフに示すように、ジッタの大きさ α のが大きくなるほど、入力デ

ータの変化速度は速くなる。

表 1 2 のグラフにおいて、入力データの変化速度にクロックの追従速度が下回る場合には、その落差が大きくなるほどクロックは入力データに追従できない傾向となり、追従性が低下する。一方、入力データの変化速度にクロックの追従速度が上回る場合には、その落差が大きくなるほどクロックは入力データの変化に対して過剰にシフトされ、却って入力データに追従することはできない傾向が強まり、追従性が低下する。

すなわち、常に入力データの変化速度と同等の追従速度で追従することが最も追従性が良いこととなる。グラフで言えば、入力データの変化速度のグラフに近接して沿うような追従速度のグラフを呈するオーバーサンプリングクロックリカバリが最適である。

【 0 1 6 1 】

2 倍のデジタル型オーバーサンプリングクロックリカバリでは、クロックの追従速度は、ジッタの大小、入力データの変化速度の大小によらず一定である。したがって、表 1 2 のグラフに示すようにジッタの比較的大きい領域（1 0 ～1 0 0 [U I] 程度）若しくは比較的小さい領域（1 . 5 ～1 0 [U I] 程度）又はその双方において、追従性が著しく低下するおそれがある。

3 倍、4 倍のオーバーサンプリングクロックリカバリでは、クロックの追従速度は、ジッタの大小、入力データの変化速度の大小によって変化するが、表 1 2 のグラフに示すようにジッタの比較的大きい領域（1 0 ～1 0 0 [U I] 程度）において、十分な追従速度が得られず追従性が著しく低下するおそれがある。

8 倍及び本発明上記実施形態のオーバーサンプリングクロックリカバリでは、クロックの追従速度は、ジッタの大小、入力データの変化速度の大小によって変化し、最も入力データの変化速度のグラフに近接して沿うような追従速度のグラフを呈する。したがって、ジッタの大小によらず必要十分な追従速度が得られ高い追従性を有する。

なお、3 倍、4 倍、8 倍及び本発明上記実施形態のオーバーサンプリングクロックリカバリがジッタが大きくなるに従って追従速度が速くなるのは、表 1 3 のグラフに示すようにジッタが大きくなるに従って応答時間が短くなるからである

【0162】

したがって、本発明上記実施形態のオーバーサンプリングクロックリカバリによれば、データ1ビット当たり8相のクロックによってサンプリングする8倍のオーバーサンプリングクロックリカバリと同等の高い追従性を、データ1ビット当たり3相又は4相という少ない相数で実現することができるという従来技術に比較した有利な効果を有する。

すなわち本発明は、データの速度変化に十分に追従する高い追従性を、比較的少ない相数のクロックで実現することができるという従来技術に比較した有利な効果を有する。

【図面の簡単な説明】

【図1】 本発明の実施の形態1のオーバーサンプリングクロックリカバリ法を説明するための模式的波形図である。

【図2】 本発明の実施の形態2のオーバーサンプリングクロックリカバリ回路の全体構成を示すブロック回路図である。

【図3】 本発明の実施の形態2におけるクロックエッジの位置関係を示す模式的波形図であり、(a)は312.5MHzのクロックの波形図、(b)は14相の多相クロックCK1～CK14の立ち上がりエッジを描いた波形図、(c)は16相の多相クロックCLK1～CLK16の立ち上がりエッジを描いた波形図である。

【図4】 本発明の実施の形態2におけるPLL10及び7段DLL20を示す回路図である。

【図5】 図2における面Aに構成されるセクタ31a、反転切換回路32a及び8段DLL40aを示す回路図である。

【図6】 図2における面Bに構成されるセクタ31b、反転切換回路32b及び8段DLL40bを示す回路図である。

【図7】 本発明の実施形態における入力データiと立ち上がりクロックエッジの位置関係を示す模式的波形図である。

【図8】 本発明の実施の形態2における位相比較部50の内部構成を示す

ブロック図である。

【図 9】 本発明の実施の形態 2 における位相比較器内部の回路を示す回路図である。

【図 1 0】 本発明の実施の形態 3 のオーバーサンプリングクロックリカバリ方法を説明するための模式的波形図である。

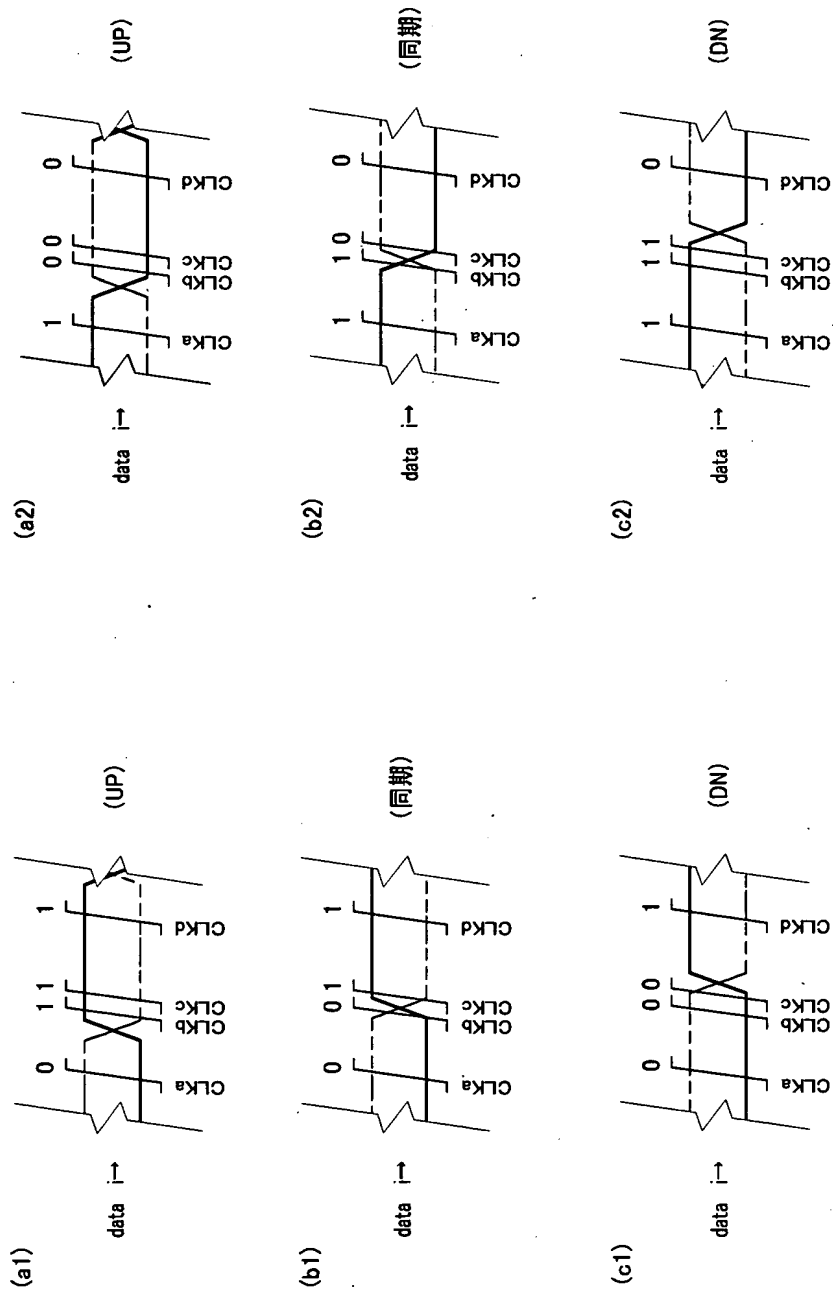
【図 1 1】 本発明の実施の形態 4 における位相比較部 5 4 の内部構成を示すブロック図である。

【図 1 2】 本発明の実施の形態 4 における位相比較器内部の回路を示す回路図である。

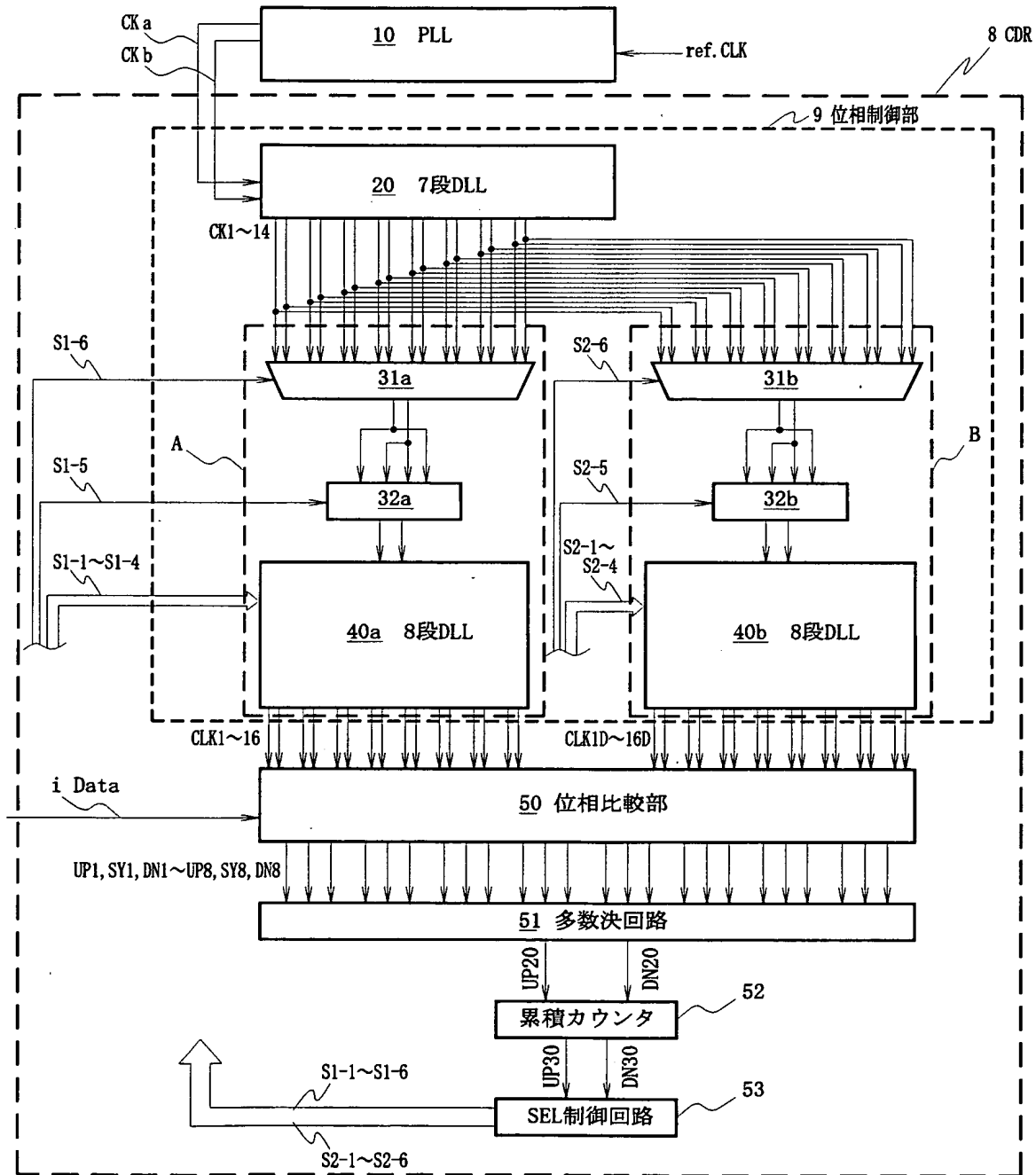
【図 1 3】 (a) は、従来の 8 倍のオーバーサンプリングにおけるデータ波形とクロックエッジの模式的波形図である。(b) は、従来の 2 倍のオーバーサンプリングにおけるデータ波形とクロックエッジの模式的波形図である。

【書類名】 図面

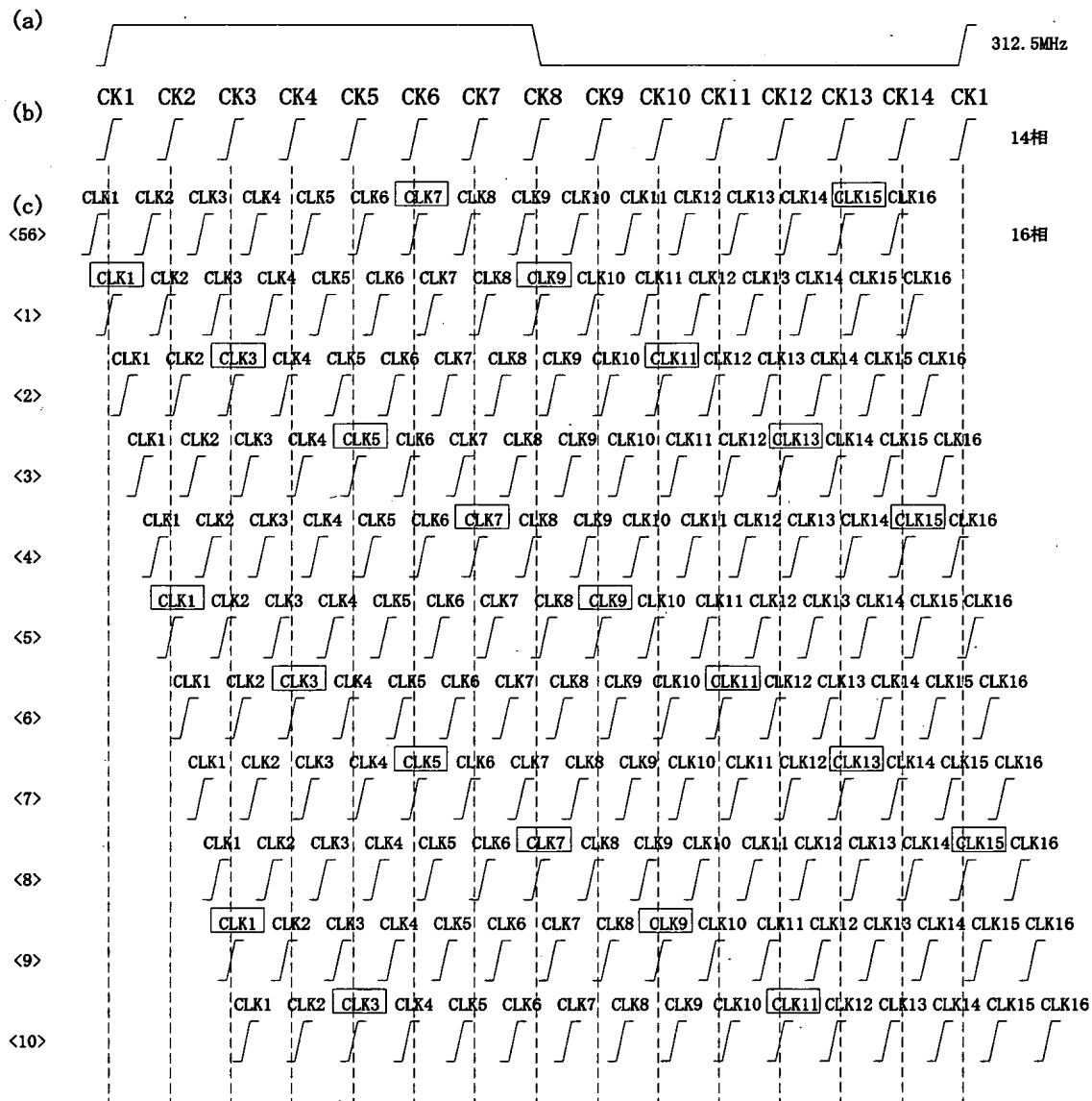
【図 1】



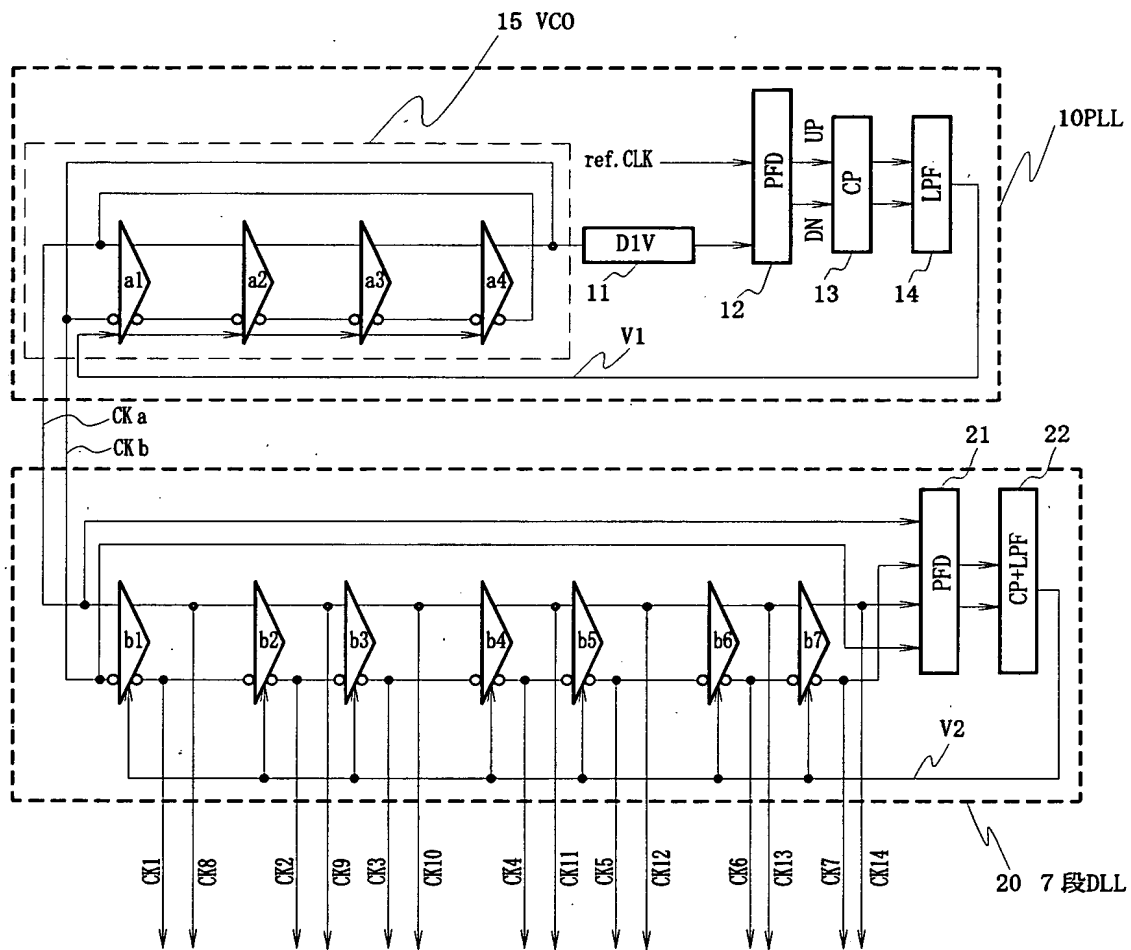
【図2】



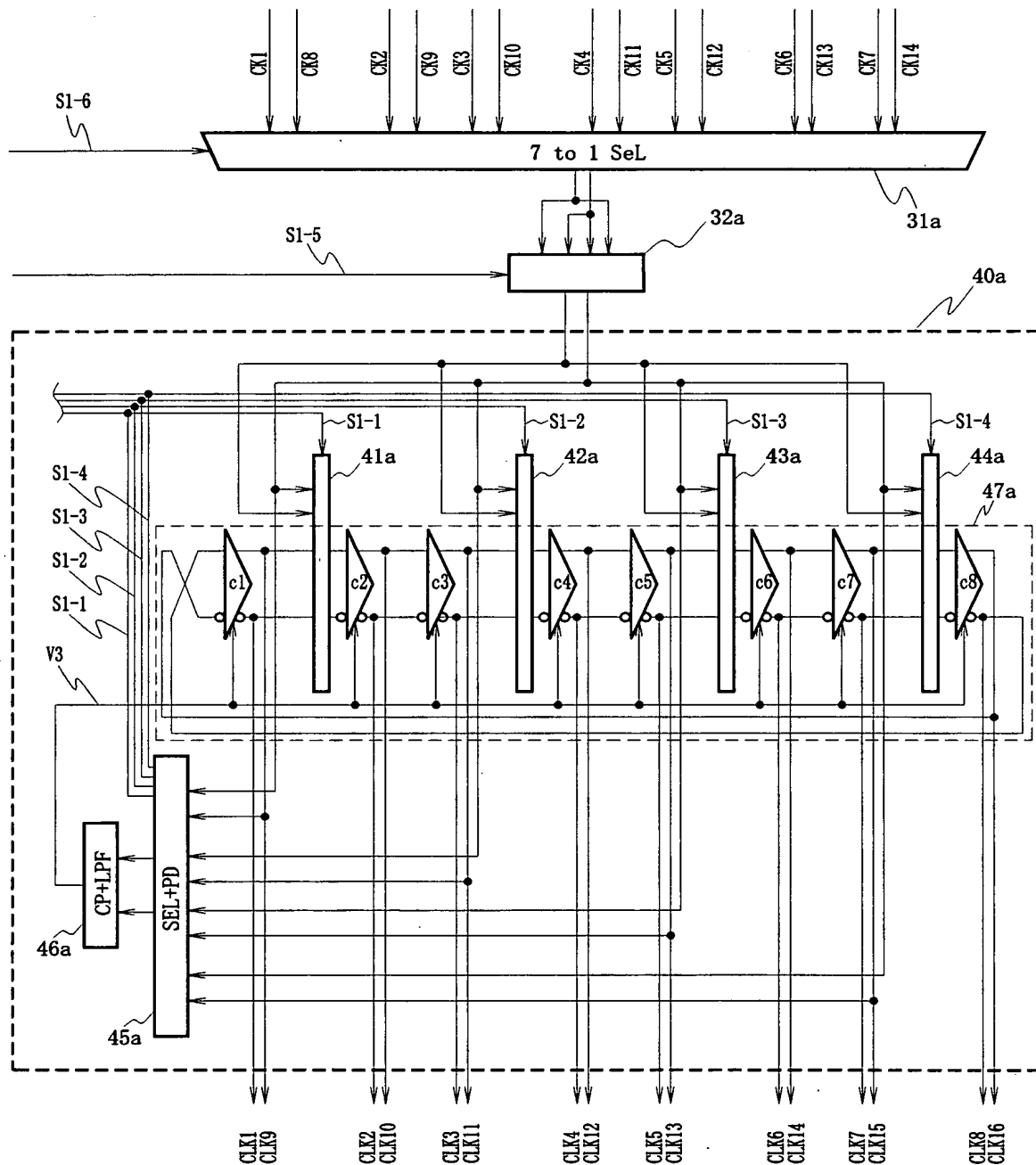
【図 3】



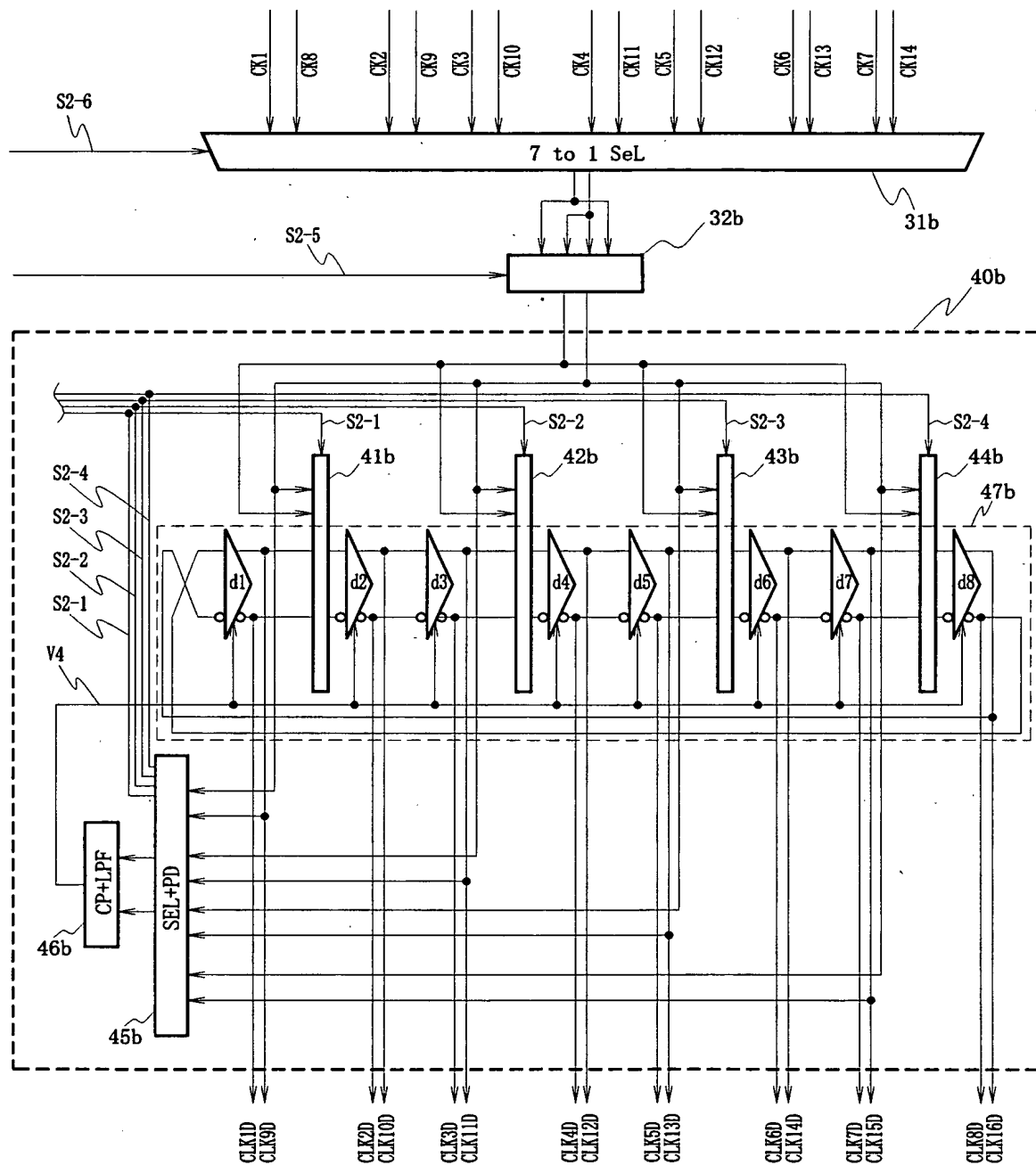
【図 4】



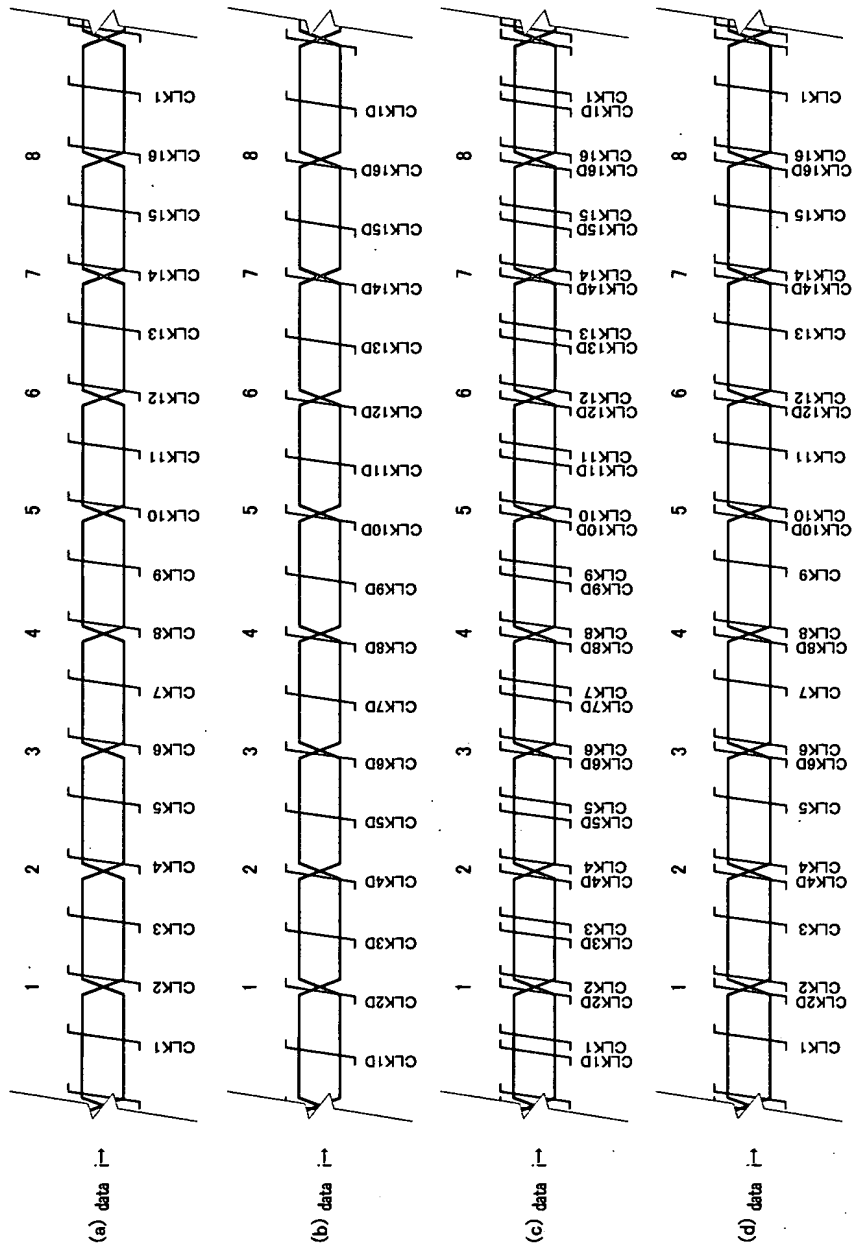
【図 5】



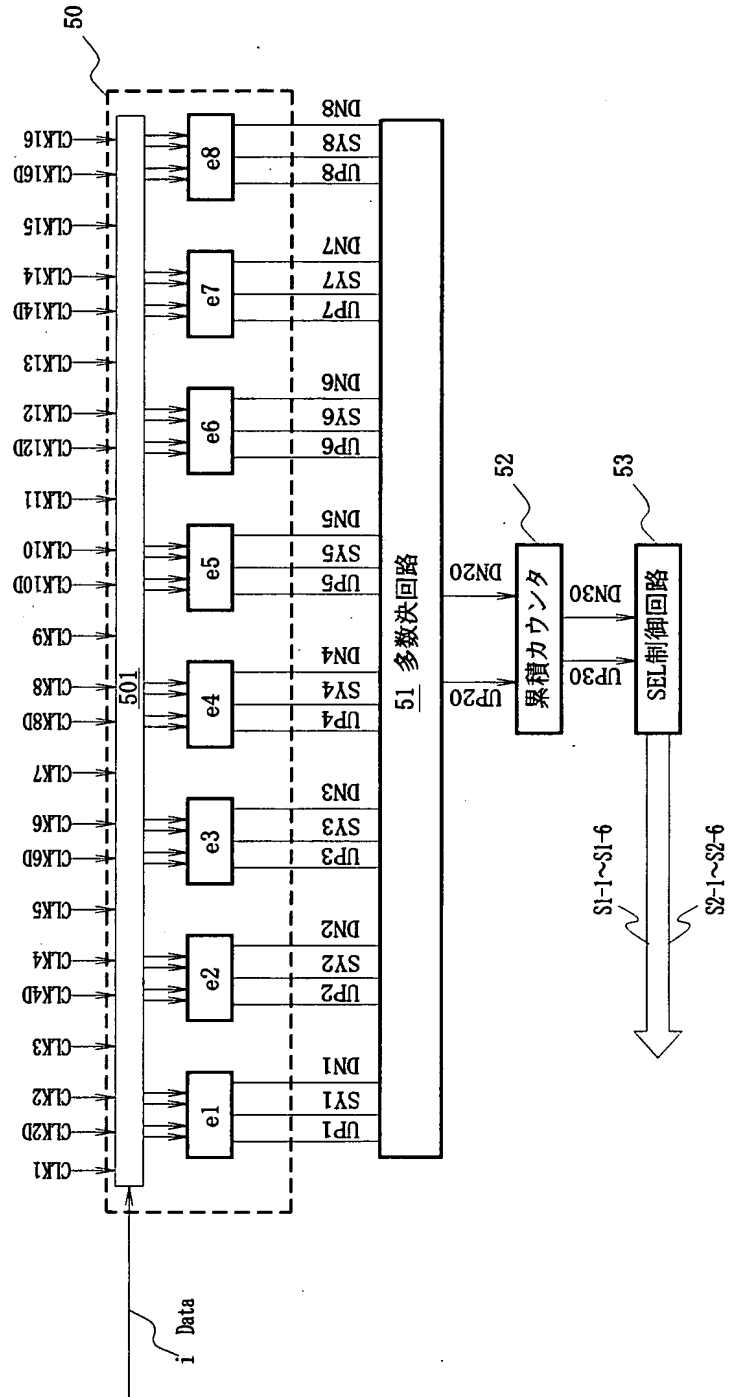
【図 6】

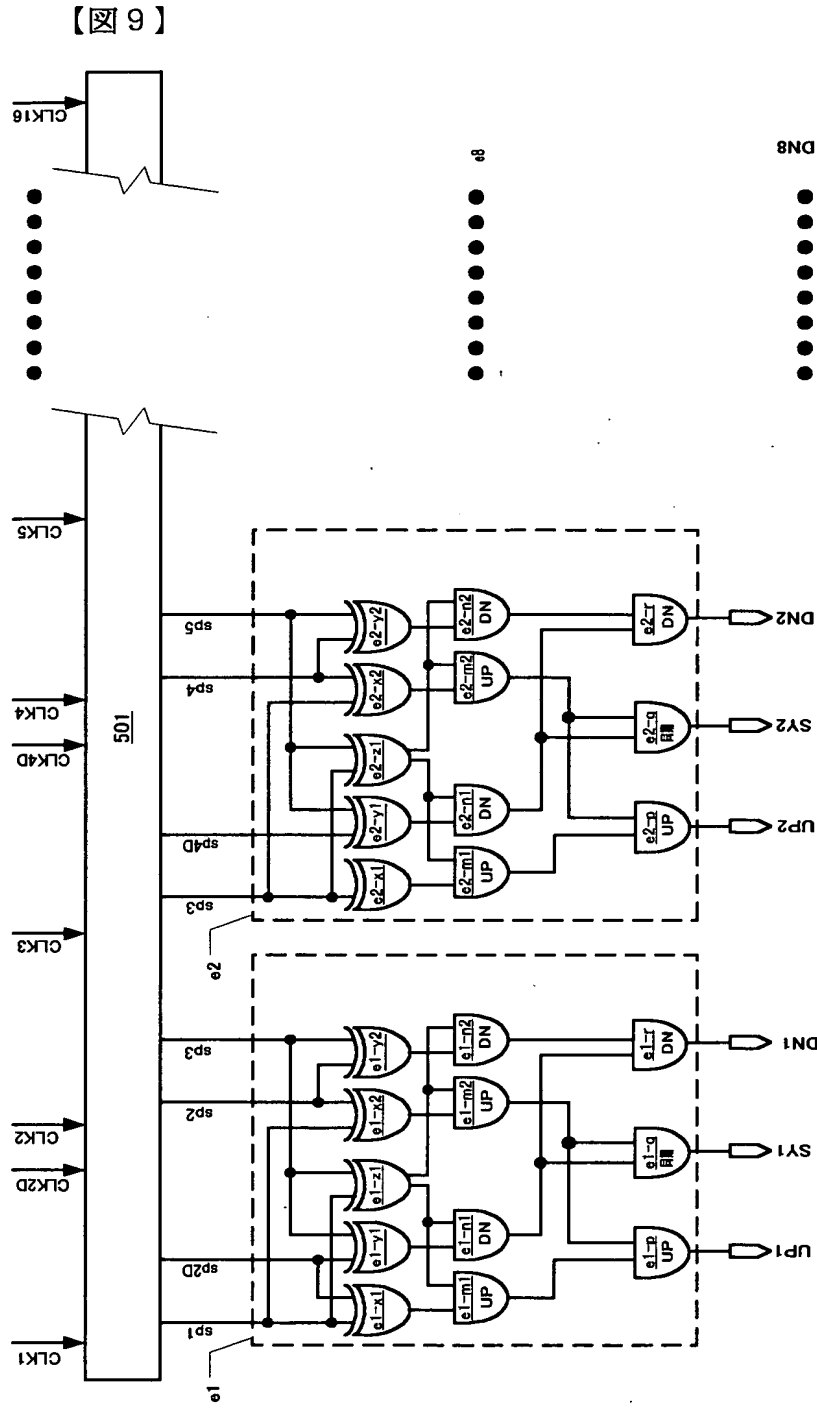


【図 7】

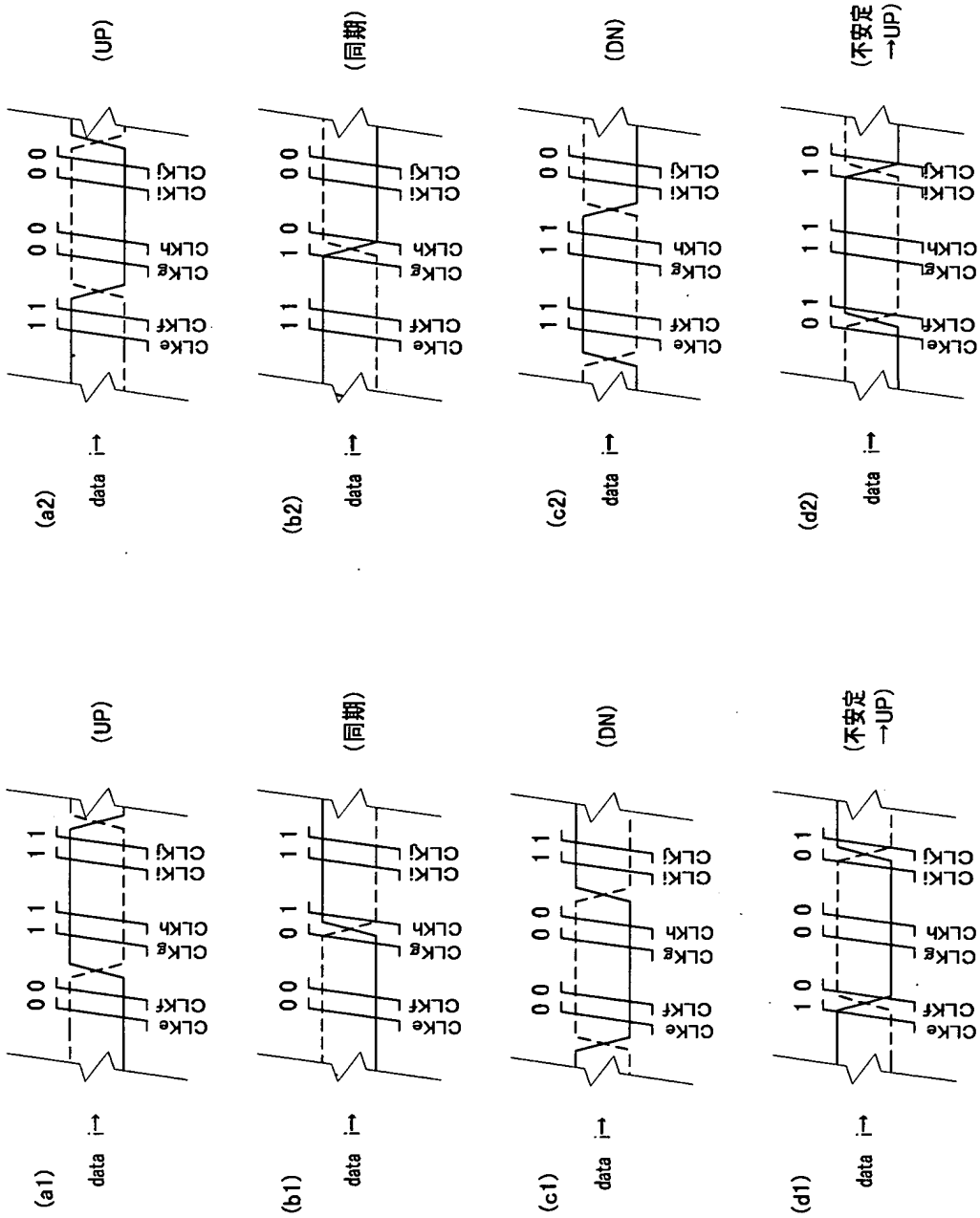


【図 8】

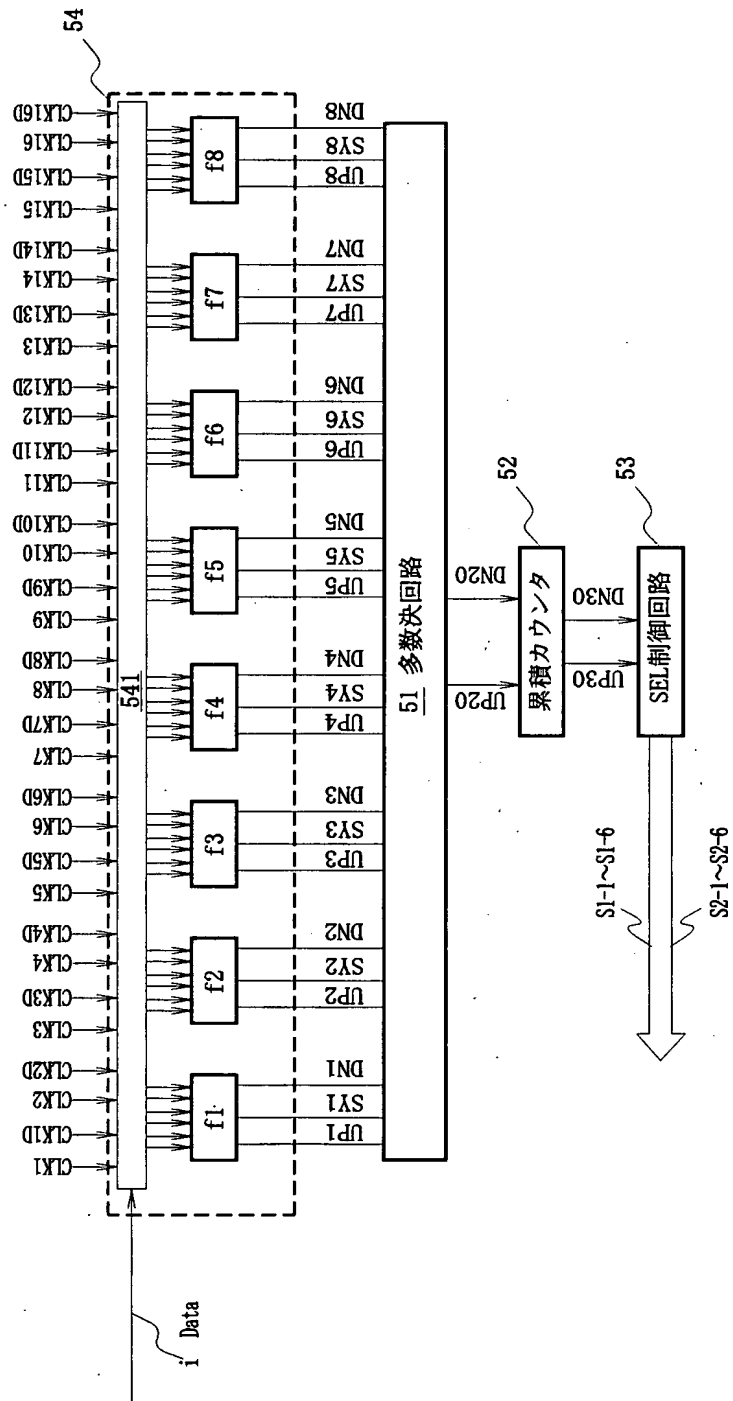




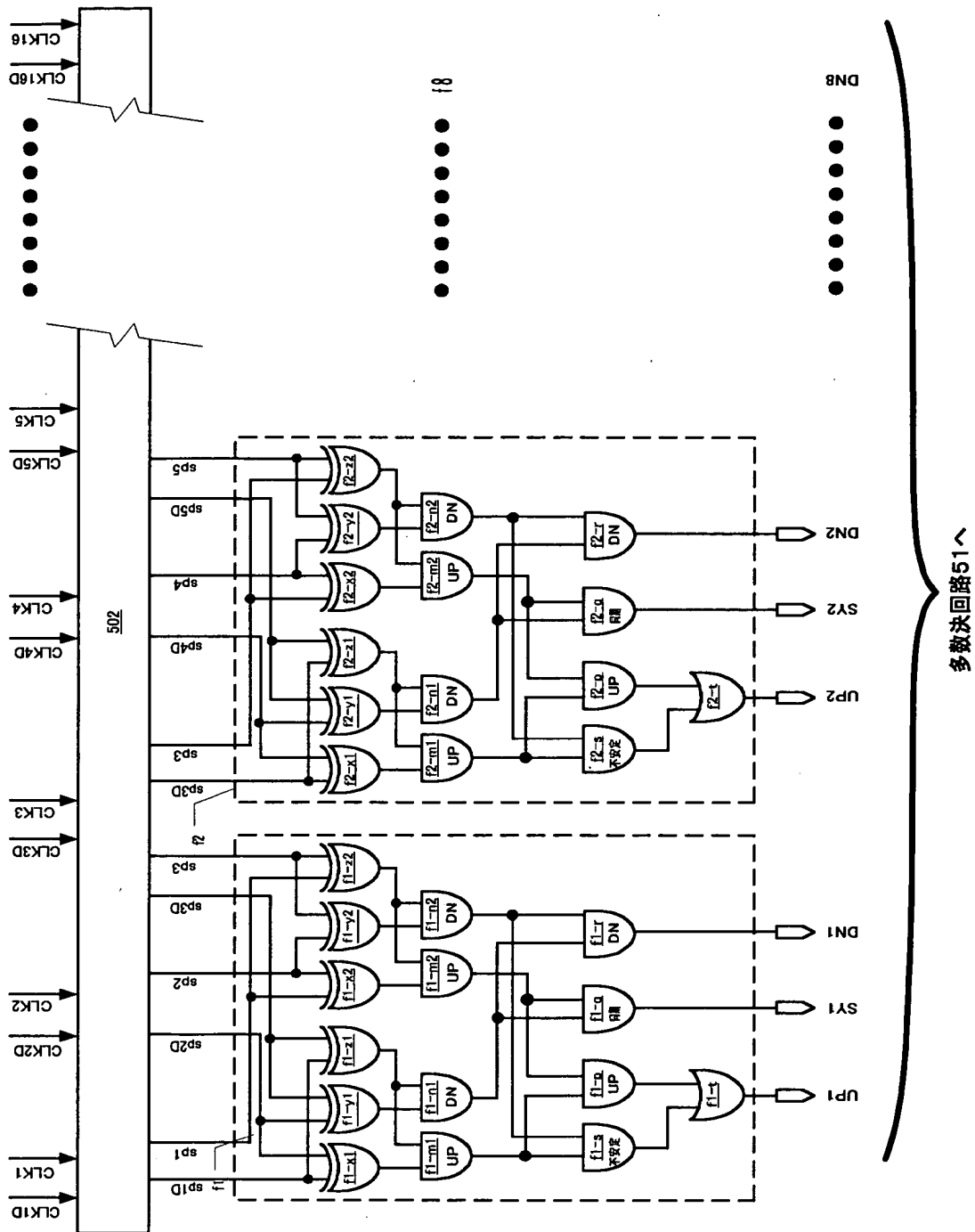
【図 10】



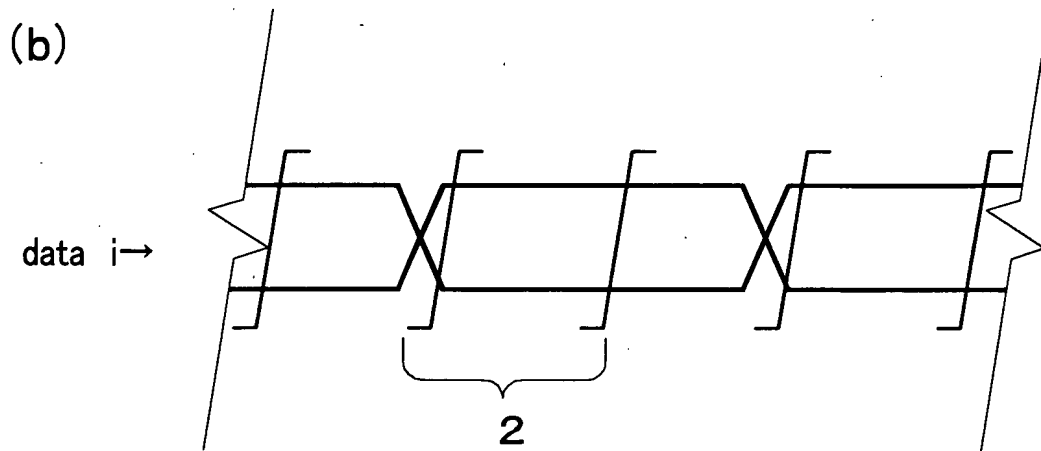
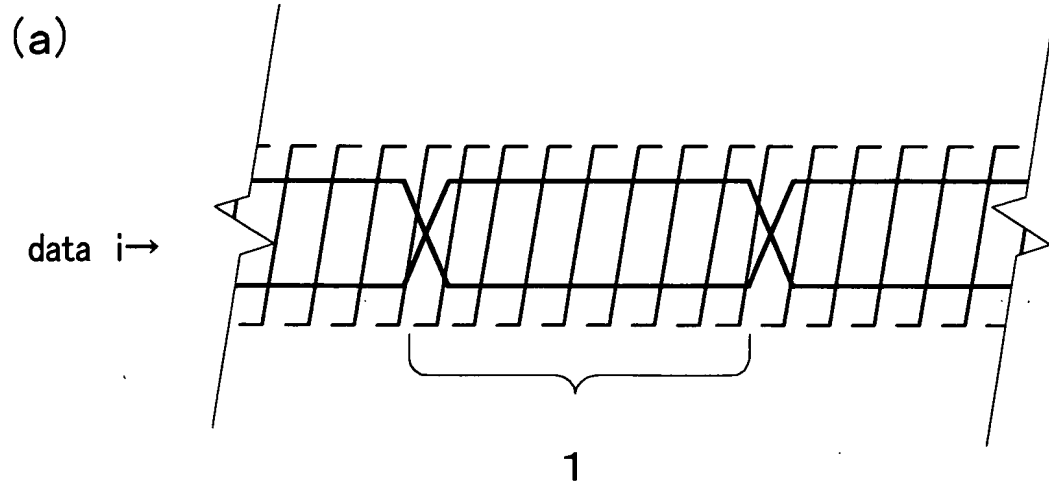
【図 11】



【図 12】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 データの速度変化に十分に追従する高い追従性を、比較的少ない相数のクロックで実現すること。バッファ又はインバータの伝搬遅延時間の最小限界の如何に拘わらず、クロックの相間隔をさらに狭く生成すること。多相クロックを、その相間隔を精度良く保持したまま全体として高分解能かつサイクリックにシフトを有し、かつ、良質なクロックを生成すること。

【解決手段】 入力データ i の 1 ビットに対して 3 相の間隔が不均等なクロック $CLK a$, $CLK b$, $CLK c$ を生成し、そのうち比較的狭い 57 p s の間隔を有する 2 相のクロック $CLK a$, $CLK b$ のエッジ間のいずれかの位相が入力データ i の変化点の位相に同期するようにクロックの位相を制御することとした。また、3 つの DLL 間において同期させるクロックを切り換えて、 57 p s の相間隔を形成した。

【選択図面】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社